



**Diogo José Castilho
Riscado**

**Demonstrador C-RAN para Redes Móveis de
Próxima Geração**



**Diogo José Castilho
Riscado**

**Demonstrador C-RAN para Redes Móveis de
Próxima Geração**

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica e Telecomunicações, realizada sob a orientação científica do Doutor Arnaldo Oliveira, professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro e do Doutor Pedro Cruz, investigador do Instituto de Telecomunicações - Pólo de Aveiro.

Aos meus pais e irmão,

o júri / the jury

presidente / president

Professor Doutor Paulo Miguel Nepomuceno Pereira Monteiro

Professor Associado da Universidade de Aveiro

vogais / examiners committee

Doutor Nelson José Valente Silva

Investigador da PT Inovação e Sistemas (Arguente)

Professor Doutor Arnaldo Silva Rodrigues de Oliveira

Professor Auxiliar da Universidade de Aveiro (Orientador)

agradecimentos / acknowledgements

Aproveito para agradecer aqui às pessoas que contribuíram para o cumprimento de mais uma importante etapa na minha vida.

Quero, em primeiro lugar, agradecer aos meus pais Domingos e Ilídia por todo o empenho que depositaram na minha educação e pelo amor e apoio dado desde sempre. Ao meu irmão Bruno pela companhia e conhecimento transmitido ao longo destes anos.

Um especial agradecimento ao meu orientador Professor Doutor Arnaldo Oliveira pelo acompanhamento, dedicação e sugestões apresentadas para o sucesso desta Dissertação. Agradeço, igualmente, ao meu co-orientador Doutor Pedro Cruz pela ajuda prestada na fase laboratorial. Ao Professor Doutor José Vieira pela cedência de um *kit* de desenvolvimento que tornou realizável este trabalho.

Aos meus colegas e amigos que me acompanharam ao longo do curso. Faço ainda um especial agradecimento à Diana Rodrigues, ao Renato Lopes e ao Ricardo Dias pela amizade, ajuda e pelos bons momentos proporcionados ao longo destes últimos cinco anos.

Ao Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro pelas condições excepcionais de ensino e profissionalismo que tive o privilégio de usufruir. Para finalizar, ao Instituto de Telecomunicações de Aveiro pelas excelentes condições de trabalho que contribuíram para a realização deste trabalho.

A todos, Muito Obrigado!

Palavras-Chave

Software Defined Radio, Field Programable Gate Array, C-RAN, CPRI, RRH, DFE, E-UTRA, LTE, Arquiteturas de Rádio Digital, Sistemas Embutidos

Resumo

Nas últimas décadas, o caminho da evolução nas redes de telecomunicações tem vindo a ser percorrido com vista a proporcionar melhor serviço móvel ao nível de capacidade e disponibilidade aos utilizadores. Mais recentemente, com a introdução do 3G e 4G, tem-se assistido a novas formas de aceder à informação impulsionadas pela proliferação dos dispositivos móveis ligados à rede. Este fenómeno tem levado a um aumento exponencial do consumo de dados e, conseqüentemente, ao aumento dos custos de operação e manutenção das infraestruturas de acesso por parte dos operadores de telecomunicações. No âmbito desta evolução, surge o paradigma C-RAN, que propõe uma reformulação das atuais arquiteturas de redes de acesso rádio. Esta reorganização passa pela simplificação das atuais *base stations* em aparelhos de menor complexidade, as *Remote Radio Heads* (RRH), com a centralização das funções da camada física em *Base Band Unit* (BBU). A nova arquitetura proposta requer equipamentos com elevada flexibilidade e interoperabilidade, tais como soluções baseadas em *Software Defined Radio* (SDR).

Nesta dissertação de Mestrado, é apresentado um demonstrador para C-RAN com foco na componente digital da RRH, desenvolvido em plataforma reconfigurável, sob o paradigma SDR. A interface com a BBU é implementada de acordo com a especificação da interface *Comon Public Radio Interface* (CPRI), que tem como objetivo padronizar as interfaces em *base stations*, garantindo a interoperabilidade entre equipamentos de diferentes fabricantes. O demonstrador consiste em dois *kits* de desenvolvimento baseados em *Field Programable Gate Arrays* (FPGAs), com ligação ótica entre si, sendo que um simulará a BBU e o outro integra uma prova-de-conceito da RRH. Nesta última, o andar de Rádio Frequência (RF) foi implementado com um *front end* analógico encarregue de efetuar a conversão de sinal entre os domínios analógico e digital. Deste modo foi possível, em laboratório, testar e validar a transferência de dados de utilizador pela ligação ótica, analisar a qualidade da transmissão em RF, assim como a medição de atrasos do sistema.

Keywords

Software Defined Radio, Field Programable Gate Array, C-RAN, CPRI, RRH, DFE, E-UTRA, LTE, Digital Radio Architectures, Embedded Systems

Abstract

In the last decade, the path of evolution in telecommunications networks has to be traversed in order to provide best mobile service in terms of capacity and availability to users. More recently, with the introduction of 3G and 4G, we've seen new forms of access to information pushed by the proliferation of mobile devices connected to the network. This phenomenon has led to an exponential increase in data consumption and, consequently, the increased expense of operation and maintenance of access infrastructure by operators of telecommunications. As part of this evolution, the C-RAN paradigm, proposes a redesign of the current radio access network architecture. This reorganization involves the simplification of existing base stations in less complex devices as the Remote Radio Heads (RRH) as well as the centralization of the functions of the physical layer, on the Base Band Unit (BBU). The proposed architecture requires new equipment with high flexibility and interoperability, such as Software Defined Radio (SDR) solutions.

In this Master's thesis, a demonstrator for C-RAN, focusing on digital component of RRH and based on a reconfigurable platform under the SDR paradigm is presented. The interface with the BBU is implemented according to the specification of Comon Public Radio Interface (CPRI) interface, which aims to standardize interfaces in base stations, guaranteed interoperability between equipment from different manufacturers. The demonstrator consists on two development kits based on Field Programmable Gate Array (FPGA), with optical connection between them, one of which will simulate the BBU and the other contains a proof-of-concept for a RRH. In this last one, the Radio Frequency (RF) stage was implemented with an analog front end to make the signal conversion between analog and digital domains. Thus, it was possible, in the laboratory, to test and validate the transfer of user data through the optical link as well as analyse the RF transmission quality, and measure the system's delays.

Conteúdo

Conteúdo	i
Lista de Figuras	v
Lista de Tabelas	ix
Lista de Acrónimos	xi
1 Introdução	1
1.1 Enquadramento	1
1.2 Motivação	3
1.3 Objetivos	4
1.4 Estrutura do documento	4
2 Redes Móveis	7
2.1 <i>Radio Access Network</i>	7
2.1.1 Infraestrutura da Rede	9
2.1.1.1 Redes Heterogéneas	10
2.1.2 Limitações das RANs Atuais	11
2.2 C-RAN	12
2.2.1 Pressupostos	13
2.2.1.1 <i>Clean</i>	13
2.2.1.2 <i>Centralized</i>	13
2.2.1.3 <i>Cloud</i>	14
2.2.1.4 <i>Cooperative</i>	14
2.2.2 Desafios	15
2.2.2.1 Infraestrutura do <i>Fronthaul</i>	15
2.2.2.2 Rádio Cooperativo	18
2.2.2.3 <i>Small Cells</i>	18
2.3 Arquitetura do <i>Fronthaul</i>	19
2.3.1 <i>Common Public Radio Interface</i> (CPRI)	20
3 Remote Radio Head para C-RAN	27
3.1 <i>Software Defined Radio</i>	28
3.1.1 Arquiteturas de Transmissores e Recetores	29
3.2 <i>Digital Front End</i>	31
3.2.1 <i>Digital Up-Conversion</i>	31

3.2.2	<i>Digital Down-Conversion</i>	32
3.2.3	<i>Crest Factor Reduction</i>	32
3.2.4	<i>Digital Pre-Distortion</i>	34
3.3	<i>Analog Front End</i>	35
3.3.1	Conversor Analógico-Digital	35
3.3.2	Amplificação	37
3.3.3	RF <i>Duplexer</i>	37
3.3.4	Características Típicas	38
3.4	Medidas de Qualidade	38
3.4.1	<i>Error Vector Magnitude</i>	39
3.4.2	<i>Adjacent Channel Leakage Ratio</i>	39
4	Arquitetura do Sistema	41
4.1	Arquitetura do REC	42
4.2	Arquitetura do RE/RRH	43
4.3	Cenários de Teste	44
5	Implementação do <i>Fronthaul</i>	45
5.1	Atualização do <i>Reference Design CPRI Multi-Hop</i>	46
5.2	Implementação do <i>Fronthaul</i> do Demonstrador	50
5.2.1	Bloco CPRI Framer	50
5.2.1.1	Parametrização do <i>core</i> CPRI	51
5.2.1.2	Relógio de Referência para o MGT	51
5.2.1.3	Interface I/Q	53
5.2.2	Restantes Blocos	54
5.2.3	Componente de <i>Software</i>	55
5.3	Validação	55
6	Integração do <i>Front End</i> Analógico	59
6.1	Caraterização do <i>Front End</i> AD-FMCOMMS1-EBZ	60
6.1.1	Estrutura do <i>Reference Design</i>	60
6.1.2	Verificação Laboratorial	61
6.2	Integração do <i>Front End</i> Analógico no Demonstrador	63
6.2.1	Fluxo de Dados I/Q	63
6.2.2	Circuito de Relógio	65
6.2.3	Restantes Blocos	65
6.2.4	Componente de <i>Software</i>	65
6.2.4.1	Configurações Iniciais	66
6.2.4.2	Modo de Operação	66
6.2.5	Consumo de Recursos	67
6.3	Validação	68
7	Resultados	71
7.1	Qualidade do Sinal	71
7.1.1	Espectro do Sinal da Saída	72
7.1.2	Constelação Complexa	75
7.2	Latência do Sistema	78

8	Conclusões	81
8.1	Trabalho Futuro	82
A	Camadas Protocolares do LTE	87
A.1	Caraterização do <i>Evolved Node B</i>	87
A.2	Camada Física	88
A.2.1	Modulações OFDMA e SC-FDMA	88
B	Implementação em FPGA	91
B.1	Conceito da Tecnologia	91
B.2	Desenvolvimento em FPGA	92
B.3	Capacidades e Aplicações	93
C	<i>Hardware</i> do Demonstrador	95
C.1	<i>Kit</i> de Desenvolvimento Xilinx ML605	95
C.2	Placa de Expansão FMC AD-FMCOMMS1-EBZ	97
C.3	<i>Kit</i> de Avaliação CDCE72010EVM	98
D	Sistema Final	100
	Bibliografia	105

Lista de Figuras

1.1	Previsão do crescimento anual de tráfego móvel entre 2013 e 2018	1
1.2	Previsão da distribuição de dispositivos com consumo de dados móveis entre 2013 e 2018	2
1.3	Evolução da infraestrutura das redes móveis	3
2.1	Evolução das tecnologias de acesso sem fios	7
2.2	Esquema das arquiteturas das redes GERAN, UTRAN e ERAN	8
2.3	Arquitetura tradicional de uma <i>base station</i> para <i>Macro Cell</i>	9
2.4	Cenários de aplicação de <i>Small Cell</i> e coexistência com <i>Macro Cell</i>	10
2.5	Análise de CAPEX e OPEX para <i>base station</i> tradicional	12
2.6	Esquema da arquitetura C-RAN	12
2.7	Topologias de implementação da arquitetura C-RAN	13
2.8	Esquema do processo de constituição de uma BBU <i>pool</i>	15
2.9	Implementações de <i>fronthaul</i> ótico para C-RAN	16
2.10	Requisitos de latência em C-RAN para o LTE	17
2.11	Exemplos de <i>transceivers</i> óticos do tipo <i>pluggable</i> e conector ótico	19
2.12	Arquitetura da interface CPRI	20
2.13	Camadas protocolares do CPRI	21
2.14	Estrutura do <i>basic frame</i> CPRI	23
2.15	Subcanais presentes no <i>hyper frame</i> CPRI	24
3.1	Constituintes de um <i>front end</i> para um recetor digital	27
3.2	Diagrama de blocos típico de uma RRH	28
3.3	Esquema de um sistema SDR ideal	29
3.4	Arquiteturas típicas de recetores digitais	30
3.5	Diagrama de blocos da DUC	31
3.6	Diagrama de blocos da DDC	32
3.7	Aplicação da técnica de <i>clipping</i> pelo CFR	33
3.8	Efeito da introdução do módulo CFR na curva característica de transferência do PA	33
3.9	Modelo de pré-distorção através de DPD	34
3.10	Exemplo do resultado da aplicação de DPD para sinal WiMAX de 10MHz, (OFDMA)	35
3.11	Representação espectral do processo de digitalização de sinal banda base	36
3.12	Método de medição do vetor de erro para o EVM	39
3.13	Método de medição do ACLR	40

4.1	Diagrama de blocos do demonstrador para C-RAN	41
4.2	Diagrama de blocos proposto para o REC do demonstrador para C-RAN . .	42
4.3	Diagrama de blocos proposto para o RE/RRH do demonstrador para C-RAN	43
5.1	Esquema do <i>Reference Design CPRI Multi-Hop</i>	45
5.2	Diagramas de blocos dos sistemas EDK implementados na XAPP1132	47
5.3	Diagramas de blocos dos sistemas EDK atualizados para a interface AXI . . .	49
5.4	Esquema do <i>core</i> CPRI v3.2 da Xilinx	51
5.5	Janela de configuração do <i>core</i> CPRI v3.2 na ferramenta COREGenerator da Xilinx	52
5.6	Diagramas temporais da interface I/Q do <i>core</i> CPRI	54
5.7	Interface gráfica usada na validação do sistema desenvolvido	56
5.8	Amostras recolhidas na interface <i>Vendor Specific</i> do CPRI no RE/RRH . . .	57
5.9	Amostras recolhidas na interface I/Q do CPRI no RE/RRH	58
6.1	Diagrama funcional do projeto EDK para interação com com o AD-FMCOMMS1-EBZ da Analog Devices	59
6.2	Espectro da portadora de 2.4GHz transmitida pelo <i>front end</i>	61
6.3	Espectro do sinal de um tom amostrado a 61.44 MSPS, com portadora de 2.4GHz	62
6.4	Componente de <i>hardware</i> relativa ao fluxo I/Q implementada na FPGA . . .	64
6.5	<i>Waveforms</i> recolhidas na interface I/Q do CPRI para validação do sistema desenvolvido	68
7.1	<i>Setup</i> laboratorial usado para a medição da qualidade do sinal transmitido pelo demonstrador	71
7.2	Diagrama de blocos do gerador de amostras I/Q implementado em MATLAB®	72
7.3	Espectro do sinal transmitido de 14.4MHz de largura de banda	73
7.4	Espectro do sinal transmitido de 19.2MHz de largura de banda	74
7.5	Constelação e medidas da qualidade da modulação QPSK	75
7.6	Constelação e medidas da qualidade da modulação 16-QAM	76
7.7	Constelação e medidas da qualidade da modulação 64-QAM.	77
7.8	Diagrama dos blocos envolvidos no cálculo do <i>round trip time</i> do sistema . .	78
A.1	<i>Stack</i> protocolar do eNB e UE para o LTE	87
A.2	Diagrama de blocos da estrutura do emissor e recetor LTE	89
A.3	Representação no tempo e frequência dos esquemas de modulação OFDMA e SC-FDMA	89
A.4	Constelações das modulações usadas no LTE	90
B.1	Arquitetura genérica dos dispositivos FPGA	91
B.2	Metodologia de desenvolvimento com as ferramentas Xilinx EDK	93
B.3	Soluções de IP <i>cores</i> e plataformas de desenvolvimento para a elaboração de RRH dos fabricantes de FPGAs	94
C.1	Fotografia da placa da desenvolvimento Xilinx ML605	96
C.2	Fotografia da placa de expansão AD-FMCOMMS1-EBZ	97
C.3	Diagrama do <i>hardware</i> do AD-FMCOMMS1-EBZ	97
C.4	Fotografia da placa de avaliação CDCE72010EVM	98

C.5	Interface gráfica usada para configuração do modo de operação do CDCE72010EVM	99
D.1	Diagrama de blocos do sistema desenvolvido para o REC	101
D.2	Diagrama de blocos do sistema desenvolvido para o RE/RRH	102
D.3	Fotografia do <i>setup</i> laboratorial	103

Lista de Tabelas

2.1	Quadro comparativo acerca da alocação de largura de banda para o OBSAI e CPRI para uma ligação a 3.072 Gbit/s	20
2.2	<i>Line Rates</i> permitidas na especificação v6.0 do CPRI	22
2.3	Relação entre as larguras de banda típicas do E-UTRA e as respetivas frequências de amostragem	25
2.4	Capacidade do <i>link</i> CPRI requerida para configurações típicas de <i>base stations</i>	26
3.1	Exemplos de bandas de frequência para sistemas 3G e 4G com <i>duplex</i> por FDD	37
3.2	Especificações técnicas de RRHs comerciais para sistemas LTE e W-CDMA	38
3.3	Valores de EVM máximo para o canal PDSCH, para diferentes modulações	39
5.1	Configurações possíveis e relógios de referência para o IP <i>core</i> CPRI v3.2 da Xilinx	52
6.1	Níveis de utilização de recursos internos das FPGAs dos módulos da plataforma desenvolvida	67
7.1	Medições para o cálculo da latência do sistema para a <i>line rate</i> de 4915.2Mbit/s @ 20 MHz	80
D.1	Legenda dos constituintes do <i>setup</i> laboratorial que serviu de base à implementação do demonstrador	100

Lista de Acrónimos

2G	Second Generation
3G	Third Generation
3GPP	3rd Generation Partnership Project
4G	Fourth Generation
ACLR	Adjacent Channel Leakage Ratio
ADC	Analog to Digital Converter
AFE	Analog Front End
ARQ	Automatic Repeat reQuest
ASIC	Application Specific Integrated Circuit
AxC	Antenna-carrier
AXI	Advanced eXtensible Interface
BBU	Base Band Unit
BSC	Base Station Controller
BSP	Board Support Package
BTS	Base Transceiver Station
C&M	Control & Management
C-RAN	Cloud-RAN
CAGR	Compound Annual Growth Rate
CAPEX	Capital Expenditure
CDMA	Code Division Multiple Access
CFR	Crest Factor Reduction
CIC	Cascaded Integrator Comb
CLB	Configurable Logic Block
CN	Core Network
CoMP	Coordinated Multi-Point
CP	Cyclic Prefix
CPRI	Common Public Radio Interface
CPU	Central Processing Unit
CWDM	Coarse Wavelength Division Multiplexing

DAC	Digital to Analog Converter
DDC	Digital Down-Conversion
DDS	Direct Digital Synthesizer
DFE	Digital Front End
DFT	Discrete Fourier Transform
DMA	Direct Memory Access
DPD	Digital Pre-Distortion
DSP	Digital Signal Processor
DUC	Digital Up-Conversion
DWDM	Dense Wavelength Division Multiplexing
E-RAN	Evolved Radio Access Network
E-UTRA	Evolved UMTS Terrestrial Radio Access
E-UTRAN	Evolved UMTS Terrestrial Radio Access Network
eISIC	Enhanced ISIC
eNB	Evolved Node B
EVM	Error Vector Magnitude
FDD	Frequency Division Duplex
FFT	Fast Fourier Transform
FIFO	First-In First-Out
FIR	Finite Impulse Response
FMC	FPGA Mezzanine Card
FPGA	Field Programmable Gate Array
GERAN	GSM Radio Access Network
GMII	Gigabit Media Independent Interface
GPIO	General Purpose Input Output
GPP	General Purpose Processor
GSM	Global System Mobile
GSPS	Giga-Samples Per Second
GUI	Graphical User Interface
HARQ	Hybrid Automatic Repeat reQuest
HDL	Hardware Description Language
HDLC	High-level Data Link Control
Het-Net	Heterogenous Networks
I/O	Input/Ouput
I/Q	In phase/Quadrature
I2C	Inter-Integrated Circuit
ICIC	Inter-Cell Interference Coordination

IDFT	Inverse Discrete Fourier Transform
IF	Intermediate Frequency
IFFT	Inverse Fast Fourier Transform
IP	Intellectual Property
LMB	Local Memory Bus
LNA	Low-Noise Amplifier
LTE	Long-Term Evolution
LUT	Look-up Table
LVDS	Low Voltage Differential Signaling
M-QAM	M-ary Quadrature Amplitude Modulation
MAC	Medium Access Control
MGT	Multi-Gigabit Transceiver
MII	Media Independent Interface
MIMO	Multiple-Input Multiple-Output
MMCM	Mixed-Mode Clock Manager
MS	Mobile Set
MSPS	Mega-Samples Per Second
multi-RAT	Multi-Radio Access Technologies
NCO	Numerically Controlled Oscillator
OAM	Operation & Maintenance
OBSAI	Open Base Station Architecture Initiative
OFDM	Orthogonal Frequency Division Modulation
OFDMA	Orthogonal Frequency Division Multiple Access
OPEX	Operating Expenditure
ORI	Open Radio Interface
OTN	Optical Transport Network
PA	Power Amplifier
PAPR	Peak-to-Average Power Ratio
PHY	Physical Layer
PLB	Peripheral Local Bus
PLL	Phase-Locked Loop
QPSK	Quadrature Phase Shift Keying
RAM	Random Access Memory
RAN	Radio Access Network
RE	Radio Equipment

REC	Radio Equipment Control
RF	Radio Frequency
RLC	Radio Link Control
RNC	Radio Network Controller
RRC	Radio Resource Control
RRH	Remote Radio Head
SAP	Service Access Point
SC-FDMA	Single-Carrier Frequency Division Multiple Access
SDR	Software Defined Radio
SDRAM	Synchronous Dynamic Random Access Memory
SERDES	Serializer/Deserializer
SFP	Small Form-factor Pluggable
SFP+	Enhanced Small Form-factor Pluggable
SNR	Signal-to-Noise Ratio
SON	Self-Organizing Network
SPI	Serial Peripheral Interface
SRC	Sample Rate Conversion
TDM	Time Division Multiplexing
UART	Universal Asynchronous Receiver Transmitter
UE	User Equipment
UI	Unit Interval
UMTS	Universal Mobile Telecommunications System
UTRA	UMTS Terrestrial Radio Access
UTRAN	UMTS Terrestrial Radio Access Network
VCO	Voltage Controlled Oscillator
VGA	Variable Gain Amplifier
VHDL	VHSIC Hardware Description Language
VSA	Vector Signal Analyzer
WDM	Wavelength Division Multiplexing
Wi-Fi	Wireless Fidelity
XFP	10 Gigabit Small Form-factor Pluggable

Capítulo 1

Introdução

1.1 Enquadramento

Os hábitos de consumo da população têm resultado no aumento de dispositivos com acesso à rede, tais como *laptops*, *smartphones* ou *tablets*. Esta tendência é confirmada por estudos conduzidos por entidades com interesses no setor das Tecnologias de Informação e apontam, unanimemente, para um aumento exponencial de tráfego para os próximos anos. Os gráficos das figuras 1.1 e 1.2 mostram um *Compound Annual Growth Rate* (CAGR) de 61% para o tráfego global e de 8% para os dispositivos.

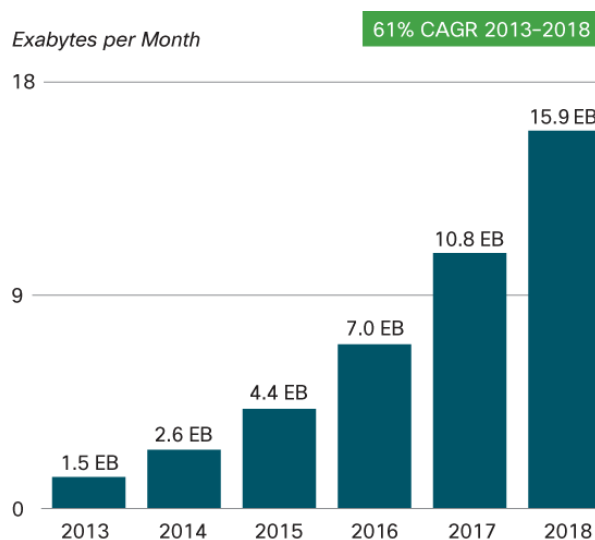


Figura 1.1: Previsão do crescimento anual de tráfego móvel entre 2013 e 2018, retirado de [1].

Outro estudo da *Informa Telecoms & Media*, de 2011, indica que as três principais fontes de tráfego nas redes móveis até 2016 serão, por ordem decrescente, as aplicações móveis, o *streaming* de vídeo e a navegação Web. Porém, tendo em conta as receitas geradas, é a navegação Web quem surge em primeiro lugar, seguida pelas SMSs e pelas aplicações móveis [2].

A este crescimento está associada uma estrutura de telecomunicações em constante mudança de modo a melhor se adaptar às exigências dos consumidores e fornecedores de

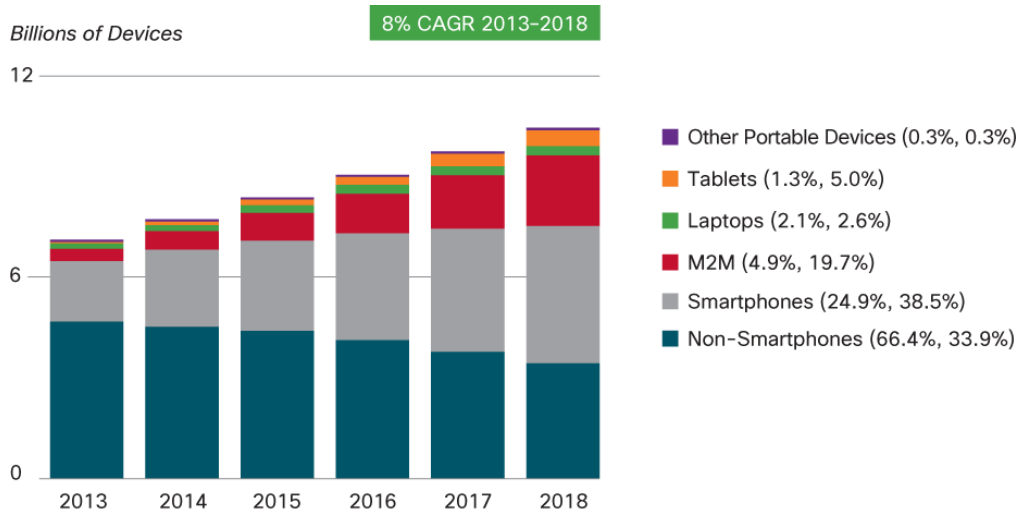


Figura 1.2: Previsão da distribuição de dispositivos com consumo de dados móveis entre 2013 e 2018, retirado de [1].

serviços. Os esforços para criar novas especificações têm sido lideradas pelo *3rd Generation Partnership Project* (3GPP). Este grupo, constitui uma parceria entre entidades reguladoras tais como a ETSI, a nível europeu, e é responsável por uniformizar as sucessivas gerações de sistemas de comunicações móveis a nível mundial. Na figura 1.3, é visível a evolução das infraestruturas das redes de acesso.

A *Radio Access Network* (RAN) desempenha, na arquitetura do sistema de telecomunicações, a função de distribuição do sinal rádio aos equipamentos móveis. Da estrutura geral da RAN, fazem parte as Estações Base ou *base stations*, que se encontram muitas vezes em cabines junto de torres ou nos topos de edifícios, responsáveis, entre outras, pela conversão sinal elétrico/ótico em sinal rádio, e vice-versa, possibilitando assim a comunicação entre os dispositivos sem fios. Nestas *base stations*, são implementados os protocolos das camadas de rede (L3), ligação (L2) e física (L1) de um certo *standard* de comunicação móvel, utilizando, para tal, plataformas digitais de alto desempenho.

Contudo, a tendência de crescimento de serviço móvel referida nos parágrafos anteriores revela as limitações da infraestrutura atual. Em primeiro lugar, surge a restrição ao nível da capacidade de utilizadores que cada ponto de acesso pode acomodar, muito por causa do aumento da densidade de dispositivos por unidade de área. Outro problema, relaciona-se com falta de cobertura prestada pelas *base stations*, resultante do maior consumo de dados em locais *indoor* como residências, escritórios ou outros edifícios públicos. Em último lugar, a arquitetura atual requer elevado investimento para os equipamentos (*Capital Expenditure* (CAPEX)) assim como os custos de operação e manutenção dos mesmos (*Operating Expenditure* (OPEX)) retiram a viabilidade para as operadoras de serviço móvel. As *base stations* atuais são projetadas para o pior caso em termos de afluência de serviço. Esta estratégia não permite uma gestão eficiente dos recursos disponíveis dado que haverá períodos do dia em que essa capacidade instalada não é totalmente aproveitada. Assim, prevê-se que as próximas gerações de redes móveis, como o *Cloud-RAN* (C-RAN), adotem um novo paradigma com vista à mitigação das restrições mencionadas anteriormente e ao aumento da eficiência das infraestruturas de acesso móvel.

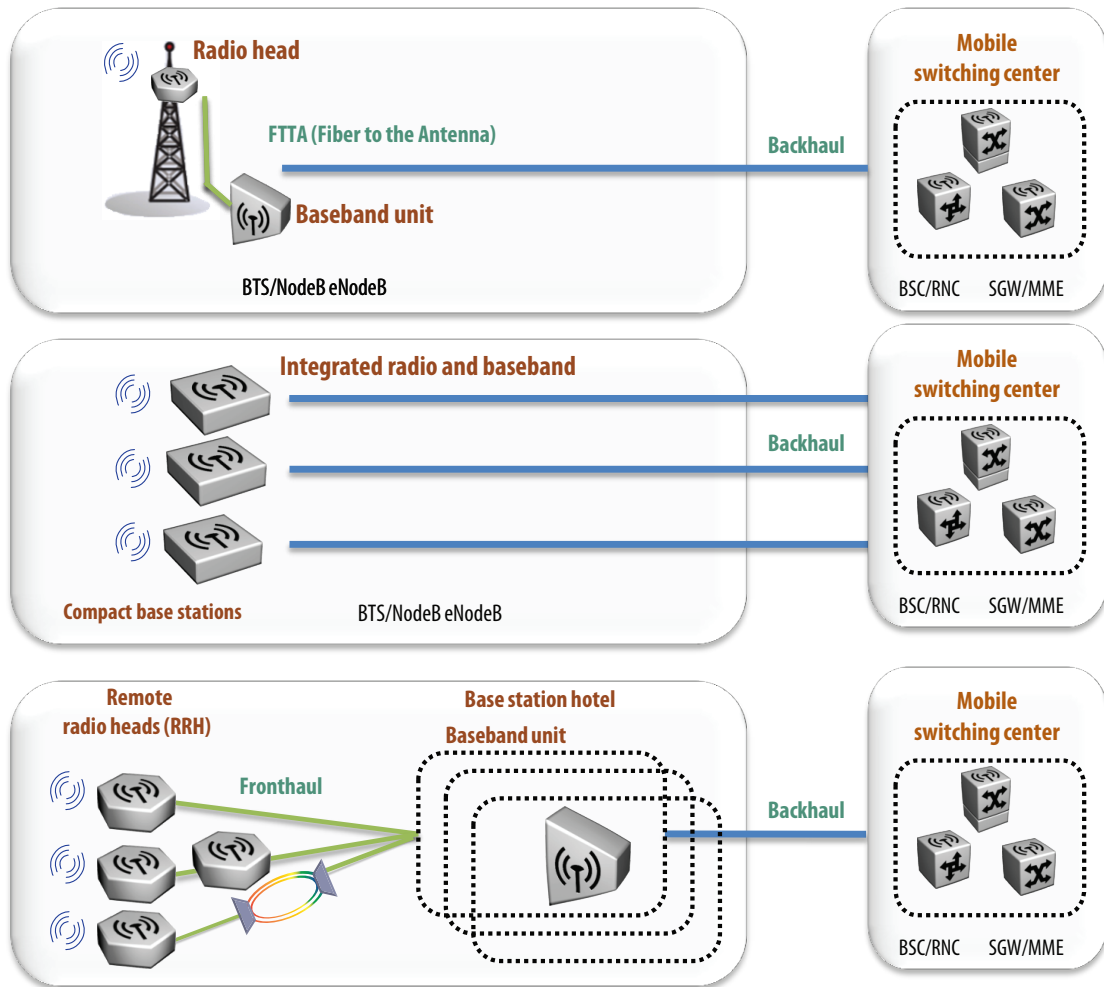


Figura 1.3: Evolução da infraestrutura das redes móveis, retirado de [3].

1.2 Motivação

As alternativas à RAN atual constituem as futuras redes *Fifth Generation* (5G), atualmente em fase exploração, prototipagem e verificação das suas potencialidades, antes da *standardização* pelas entidades reguladoras. Neste âmbito, insere-se o C-RAN ou *Cloud-RAN*. Esta nova perspetiva implica a centralização do processamento de sinal banda base e a substituição as atuais *base stations* por módulos de menor complexidade. A ligação entre estes dois locais constitui o *fronthaul* e é implementada com recurso a fibra ótica. Para a interface dos equipamentos com o *fronthaul*, estão disponíveis *standards* como o *Common Public Radio Interface* (CPRI) ou *Open Base Station Architecture Initiative* (OBSAI), permitindo compatibilidade e suporte para as tecnologias de acesso rádio. Assim, é possível introduzir novos conceitos nos sistemas de telecomunicações tais como a virtualização de *base stations* (permitindo a partilha de recursos físicos) e *cloud computing*, assim como otimizar os métodos de rádio cooperativo já existentes entre as unidades remotas. O C-RAN tem ainda como objetivo responder à crescente procura de tráfego móvel pelos consumidores e atenuar os custos com as instalações para as entidades de fornecimento de serviço móvel.

1.3 Objetivos

O propósito desta dissertação é o projeto, implementação e validação de um demonstrador para a arquitetura C-RAN. Os pressupostos desta arquitetura devem ser tidos em conta, na medida em que se pretende conceber um módulo versátil, de elevado desempenho e que seja compatível com os *standards* de acesso à rede móvel.

Numa primeira fase, pretende-se implementar a interface CPRI entre dois sistemas distintos, no que diz respeito à troca de dados de utilizador assim como informações de controlo. A segunda fase, consiste na inclusão de um *front end* analógico para a conversão de sinal banda base em *Radio Frequency* (RF) e vice-versa. Para caraterizar o sistema concebido, ao nível da qualidade de sinal e atrasos, são realizadas as medições necessárias, apresentados e discutidos os resultados.

1.4 Estrutura do documento

Este documento encontra-se dividido em oito capítulos, com a seguinte distribuição de conteúdos:

- O **Capítulo 1** pretende contextualizar o problema das redes de acesso atuais, as tendências de consumo de dados móveis bem como as soluções emergentes em termos de novas arquiteturas. É ainda referido o âmbito desta Dissertação.
- No **Capítulo 2**, são enumerados os conceitos introdutórios relacionados com as redes de acesso atuais e com a perspetiva C-RAN sob a qual assenta o demonstrador proposto neste documento. É ainda mencionada a interface CPRI como *standard* de comunicação entre equipamentos de *base stations*.
- O **Capítulo 3** visa a descrição da componente digital e analógica de uma *Remote Radio Head* (RRH), começando por descrever as arquiteturas de rádios sob o paradigma *Software Defined Radio* (SDR).
- Seguidamente, no **Capítulo 4**, é apresentada a arquitetura proposta para demonstrador do conceito C-RAN.
- O método de implementação da interface com o *fronthaul* é descrito no **Capítulo 5**. São explicadas, caraterizadas e validadas as componentes de *hardware* e *software* que constituem o sistema *embedded*.
- De seguida, a integração do andar de RF é apresentada na **Capítulo 6**.
- Posteriormente, as medições de qualidade de sinal e latência obtidas com o protótipo desenvolvido são expostas no **Capítulo 7**.
- Em último lugar, o **Capítulo 8** tem o propósito de sumariar as conclusões extraídas dos capítulos anteriores, assim como apresentar linhas de possível trabalho futuro, como complemento ao demonstrador desenvolvido.

Para além dos capítulos acima mencionados, são ainda incluídos neste trabalho quatro secções, com o objetivo complementar o corpo da Dissertação. Os tópicos abordados pelos apêndices são os seguintes:

- O **Apêndice A** faz a referência à camada física e às técnicas de modulação de sinal banda base usadas nos sistemas *Long-Term Evolution* (LTE).
- Para a familiarização do conceito de *Field Programmable Gate Array* (FPGA), o **Apêndice B** procura apresentar uma breve descrição do seu princípio de funcionamento, assim como as potencialidades para o desenvolvimento de sistemas radio definidos por *software*.
- O **Apêndice C** faz a listagem do *hardware* usado para a concepção do demonstrador apresentado neste documento.
- Para finalizar, no **Apêndice D** é possível encontrar uma visão esquemática do sistema implementado e validado, assim como uma fotografia do *setup* laboratorial sobre o qual foi desenvolvido o demonstrador.

Capítulo 2

Redes Móveis

Neste capítulo, são introduzidos os conceitos relativos ao estado da arte das redes de acesso móvel ou RAN. É ainda apresentado o C-RAN como paradigma da próxima geração para as redes móveis. Para concluir, é feita a referência à interface CPRI, dada a sua relevância no contexto das infraestruturas das redes móveis.

2.1 Radio Access Network

Num sistema de comunicações sem fios, a RAN consiste na plataforma que disponibiliza a tecnologia de acesso ao meio a cada terminal móvel e o liga ao núcleo da rede, a *Core Network* (CN). Geralmente, a RAN apresenta diferentes arquiteturas consoante a tecnologia de acesso que implementa. O sistema *Global System Mobile* (GSM) é disponibilizado pela *GSM Radio Access Network* (GERAN), a tecnologia *Universal Mobile Telecommunications System* (UMTS) é realizada sobre a *UMTS Terrestrial Radio Access Network* (UTRAN) e, mais recentemente, o LTE assenta na rede *Evolved Radio Access Network* (E-RAN). Cada um destes sistemas corresponde, respetivamente, ao *Second Generation* (2G), *Third Generation* (3G) e *Fourth Generation* (4G). Como se pode verificar na figura 2.1, cada geração de rede móvel assenta na evolução das tecnologias de acesso ao longo do tempo, oferecendo velocidades de *downlink* e *uplink* cada vez mais elevadas.

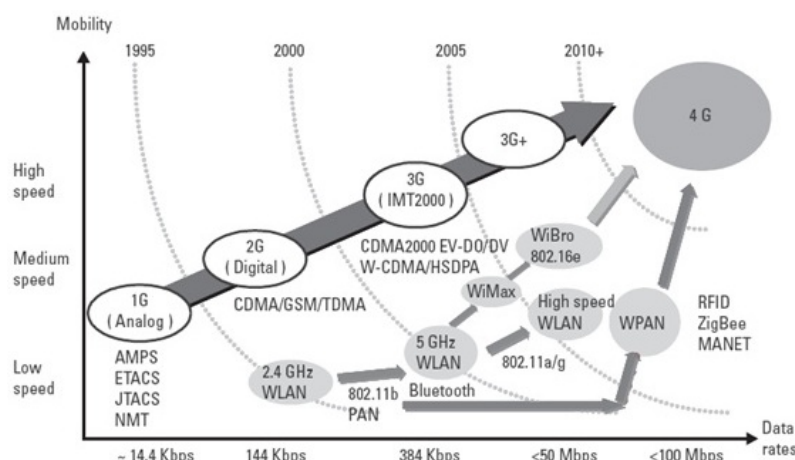


Figura 2.1: Evolução das tecnologias de acesso sem fios, retirado de [4].

A rede GERAN é constituída pelo *Base Station Controller* (BSC) que faz a gestão e controlo da parte rádio da rede e configura uma ou um conjunto de *Base Transceiver Station* (BTS). A BTS consiste no módulo com a antena que faz a conversão do sinal elétrico/ótico em sinal RF. O terminal móvel é denominado *Mobile Set* (MS). Por outro lado, no UMTS, a nomenclatura é *Radio Network Controller* (RNC) para o equivalente ao BSC, Node B para a BTS e *User Equipment* (UE) para o equipamento móvel. Os sistemas 4G resultam de uma evolução da geração anterior. A terminologia usada é a de *Evolved Node B* (eNB) para as BTS e UE para o terminal móvel. É ainda possível verificar na figura 2.2 a forma como equipamentos de sistemas distintos podem estabelecer comunicação entre si, através de mecanismos da CN. A figura 2.2 apresenta esquematicamente os elementos das redes mencionadas e a forma como é feita a ligação entre os equipamentos móveis e os serviços do núcleo da rede.

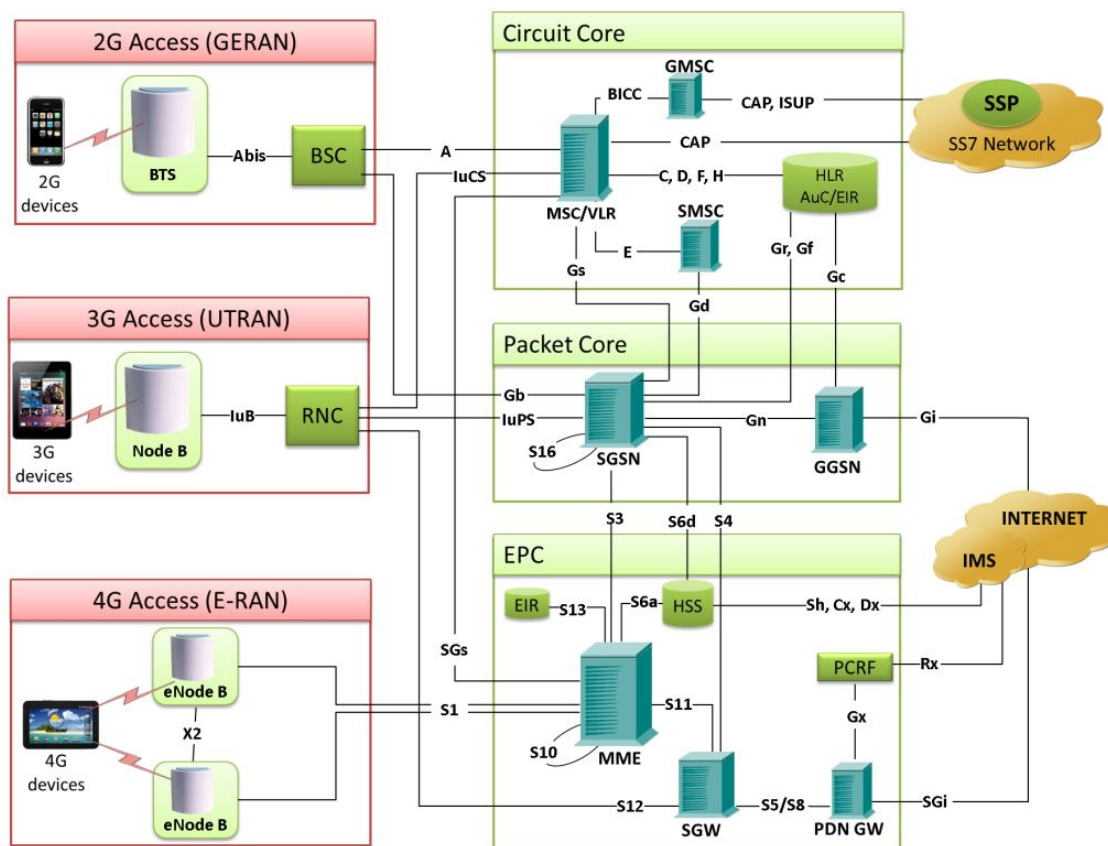


Figura 2.2: Esquema das arquiteturas das redes GERAN, UTRAN e E-RAN, retirado de [5].

O LTE foi introduzido na *Release 8* do 3GPP e consistiu no deslocamento das funções do RNC da geração anterior para o eNB. Esta mudança, de distribuir a unidade de processamento pelas *base stations*, teve o propósito de acelerar o estabelecimento de ligações e de reduzir os tempos necessários para efetuar o processo de *handover*. Para os utilizadores de serviço móvel, o menor tempo de *setup* da ligação favorece as aplicações de tempo real e a maior agilidade em caso de *handover* garante maior robustez às chamadas quando se muda de ponto de acesso. O LTE define ainda a interface X2 para comunicação entre eNB e a interface S1 para ligação à CN. A E-RAN é constituída pela rede de eNBs, ou *Evolved UMTS Terrestrial Radio Access*

Network (E-UTRAN), e também pelo método de acesso à rede, *Evolved UMTS Terrestrial Radio Access* (E-UTRA). O apêndice A contém informações que permitem melhor entender o processamento efetuado nos eNB.

2.1.1 Infraestrutura da Rede

A distribuição de sinal rádio pela superfície terrestre, é feita segundo uma estrutura de células moldadas pela organização territorial das *base stations*. As células apresentam diferentes características de acordo com o local onde se situam. Em locais urbanos, dada a necessidade de acomodar mais utilizadores, são mais numerosas e de alcance mais reduzido, ao passo que em locais com menor densidade populacional, a área de cobertura é geralmente mais extensa. As células de maior alcance (de 10 a 40Km) são denominadas *Macro Cell* e a área de cobertura possui, idealmente, a forma geométrica de um hexágono. Estas acomodam mais de 200 utilizadores por setor e caracterizam-se por potências de sinal de 10 a 100W. Na figura 2.3, é apresentada uma arquitetura típica de uma *Macro Cell*, assim como a infraestrutura interna das *base stations*. Nesta implementação, a antena está ligada à cabine de processamento de sinal por um cabo coaxial cujas propriedades levam a perdas na ordem dos 3dB (metade da potências), da base até ao topo da infraestrutura. Em arquiteturas mais recentes, é feito o deslocamento da componente analógica para junto da antena sendo a comunicação com o módulo na base da *base station* realizado por fibra ótica, através de uma interface *standard* como o CPRI. O módulo junto da antena constitui a RRH.

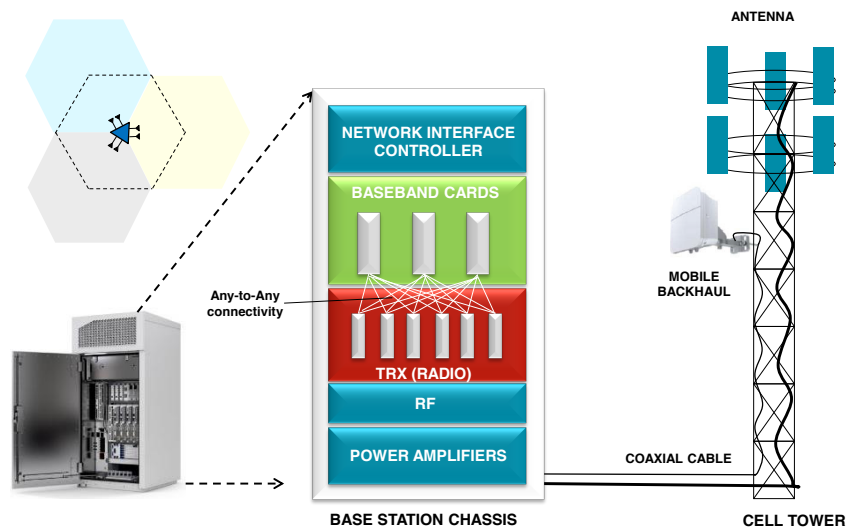


Figura 2.3: Arquitetura tradicional de uma *base station* para *Macro Cell*, retirado de [6].

Na realidade, a área de cobertura das *Macro Cell* é aproximadamente circular e a potência recebida pelo equipamento móvel é função da distância à antena emissora e da frequência das ondas radiadas, como mostra a *fórmula de Friis*. Além deste fenómeno de *Path Loss*, existem ainda a sobreposição de diferentes células (causando interferência inter-celular) e a presença de obstáculos do meio de propagação que provocam o fenómeno de *shadowing* levando a uma alteração da forma da célula e também à diminuição da capacidade das mesmas.

Para implementações de menor dimensão, são usadas *Micro Cells*, que geralmente se localizam em edifícios e disponibilizam um alcance até 2Km. Continuando a descer no que

diz respeito à área de cobertura e capacidade, encontram-se as *Pico Cells* que são distribuídas por edifícios com elevada concentração de utilizadores como escritórios ou centros comerciais. As *Pico Cells* oferecem cobertura na ordem dos 200m e são úteis em locais onde a cobertura de células de maior dimensão não é a melhor (cenários *indoor*). Para finalizar esta lista, surgem as *Femto Cells* que têm as características de baixo consumo e com um alcance não superior a 50m mas dedicado a, por exemplo, uma habitação, pois têm menor capacidade em termos de acomodação de utilizadores. [7] [8].

Todos os tipos de células mencionados no último parágrafo, fazem parte das chamadas *Small Cells*, constituindo nós de acesso controlados pelos operadores de serviço móvel com alcance entre 10 a várias centenas de metros. As *Small Cells* apresentadas partilham o mesmo conceito em termos de *standards*, *software*, interfaces e *hardware*. Estas e outras razões relacionadas com os custos de implementação e a qualidade de serviço, levam os operadores a optar por estes pontos de acesso menos complexos para mitigar alguns dos problemas da rede de *Macro Cells*. Na figura 2.4, é apresentado um diagrama dos cenários de aplicação para os diferentes tipos de *Small Cells* [9].

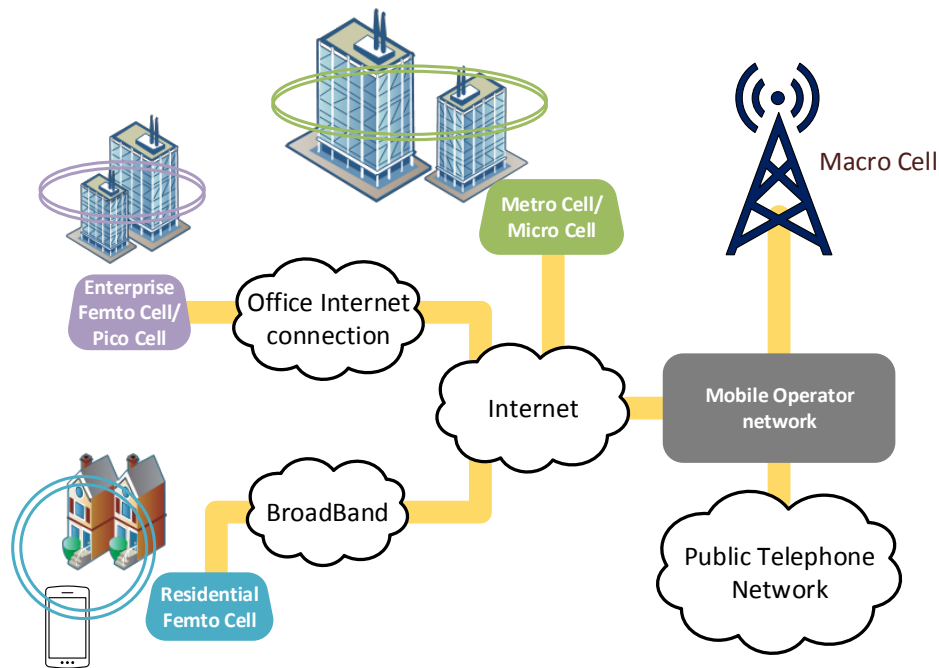


Figura 2.4: Cenários de aplicação de *Small Cell* e coexistência com *MacroCell*, adaptado de [9].

2.1.1.1 Redes Heterogéneas

Uma vez que se encontram vários *standards* de acesso sem fios para voz/dados disponíveis no mercado é de esperar que tecnologias diferentes coexistam num mesmo espaço. Com o aumento do número de células, aumentam também os problemas associados, nomeadamente as interferências e o elevado consumo energético. Para combater estas tendências, os operadores têm seguido a estratégia de densificar os pontos de acesso, ao converter as BTS e RNC tradicionais em pequenas caixas com menor alcance mas mais direcionado à área que se

pretende dar cobertura, como habitações ou empresas. Esta abordagem, conhecida como *Heterogenous Networks* (Het-Net), baseia-se na coexistência de *Macro Cells*, *Small Cells* e *hot spots Wireless Fidelity* (Wi-Fi), resultando num aumento significativo da capacidade para a rede.

De modo a sustentar o conceito de Het-Net, o 3GPP tem inserido novas funcionalidades nas suas especificações, nomeadamente, mecanismos de gestão de interferências, requeridos para as *Self-Organizing Network* (SON), como é o caso do *Inter-Cell Interference Coordination* (ICIC) (*Release 8*), *Enhanced ISIC* (eISIC) (*Release 10*) e *Coordinated Multi-Point* (CoMP) (*Release 11*) [10]. O conceito SON, inserido a partir da *Release 8*, pretende simplificar e automatizar os mecanismos de gestão, configuração e otimização das Het-Nets, sobretudo das *Small Cells*, que, em unidades, crescem a um ritmo superior às *Macro Cells*. Com esta funcionalidade, obtém-se uma redução do OPEX, melhoramento da capacidade, qualidade e desempenho da rede assim como do aproveitamento das *Small Cells* na rede [11]. A título de exemplo, a *Release 9* adicionou mais opções de mobilidade entre as *Femto Cells* (especificadas como *home eNB*) e as *Macro Cells*, de modo a providenciar cobertura sem interrupções. A ferramenta ICIC permite que os eNBs comuniquem entre si através da interface X2 para mitigar os efeitos das interferências inter-celulares para os UEs que ocorrem, sobretudo, na periferia das células [12].

2.1.2 Limitações das RANs Atuais

Os principais desafios que as redes de acesso atuais enfrentam são os custos de operação e manutenção e a resposta à procura de serviço móvel (capacidade e cobertura). Com o crescente número de clientes, as operadoras têm igualmente um crescente aumento das despesas com as infraestruturas. Com vista a aumentar a capacidade da rede, podem ser instaladas mais *base stations* de modo a acomodar mais clientes. Contudo, este procedimento resulta num maior consumo energético, provocando impactos financeiros e também ambientais. Como é possível verificar nos gráficos da figura 2.5, a maior parcela dos custos de operação têm origem no consumo energético (refrigeração da cabine e amplificação de sinal, por exemplo). Outro aspeto de relevante da atual rede celular é o facto do aproveitamento dos recursos não ser feito da maneira mais eficiente. As *base stations* são projetadas para os piores casos, ou seja, para os picos de utilizadores/tráfego que podem ocorrer num dado intervalo de tempo (horário laboral, por exemplo). Porém, em instantes de menor afluência (período noturno) essa capacidade de processamento não está a ser utilizada [13].

Assim, as próximas gerações de redes móveis terão o objetivo de fazer um aproveitamento mais eficiente dos recursos, aumentar a capacidade e fiabilidade dos serviços e, ao mesmo tempo, tornar os gastos com as infraestruturas suportáveis para os operadores de telecomunicações.

Para além dos motivos financeiros e ambientais, o equipamento das *base stations* é baseado em soluções proprietárias, sendo difícil a sua flexibilidade, atualização, compatibilidade e reutilização para outras tarefas por parte dos operadores. Com o uso de plataformas reconfiguráveis e protocolos/interfaces *standard*, introduz-se maior flexibilidade sendo que a que a atualização para novas tecnologias ou introdução de novos serviços resulta em menores custos para os operadores.

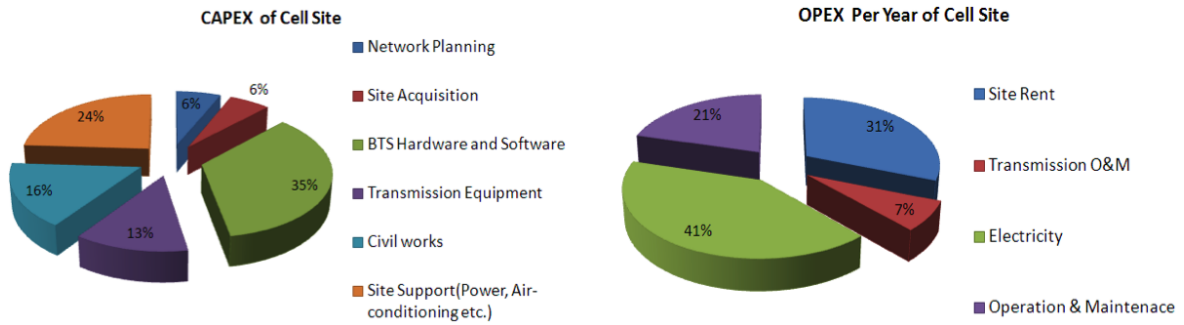


Figura 2.5: Análise de CAPEX e OPEX para *base station* tradicional, retirado de [13].

2.2 C-RAN

O C-RAN representa uma reorganização da estrutura de acesso à rede móvel. Este paradigma conduz a uma arquitetura de *base station* distribuída dado que é feita a centralização do processamento de dados de banda base (ou *baseband*) e a *remotização* dos pontos de acesso. A finalidade desta nova implementação é a de atenuar os problemas da RAN atual para os operadores de telecomunicações, que foram mencionados no subtópico 2.1.2.

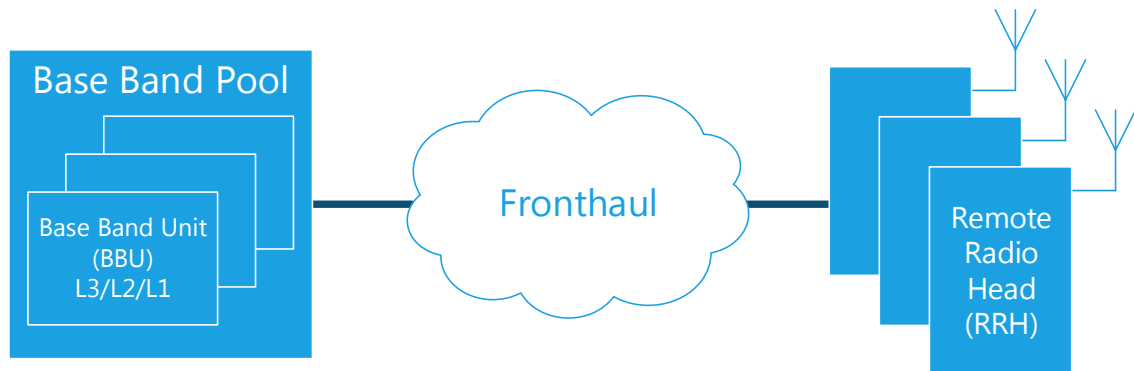


Figura 2.6: Esquema da arquitetura C-RAN.

O C-RAN pressupõe dois elementos principais: uma *pool* de *Base Band Unit* (BBU) ou *Digital Unit* (DU) e a RRH ou *Radio Unit* (RU). A BBU *pool* envolve todo o processamento de sinal de banda base centralizado e implementa a interface com a CN, também chamada de *backhaul*. A ligação entre a BBU e as RRH, denominada por *fronthaul*, é estabelecida por uma rede de fibra ótica através de um protocolo de *radio-over-fiber* de baixa latência como o CPRI ou o OBSAI. Estes protocolos serão discutidos na secção 2.3. Por fim, a RRH constitui o *front end* de conversão do sinal banda base para sinais rádio e a sua caracterização será feita no capítulo 3. Para além destes módulos, é também requerida uma central de *switching* de alto *throughput* para concretizar a ligação entre a BBU *pool* e as RRHs. São, de seguida, listados os pontos-chave do paradigma RAN.

2.2.1 Pressupostos

A letra 'C' da sigla C-RAN é usada para evocar os principais pressupostos que sustentam esta arquitetura tais como: *Clean*, *Centralized*, *Cloud* e *Cooperative*. Cada pressuposto, tem associada uma vantagem que o C-RAN pretende introduzir sobre a RAN atual, e que será detalhada nos tópicos seguintes.

2.2.1.1 *Clean*

Ao substituir as atuais BTS, RNC ou eNB por RRH, é possível reduzir o consumo energético e consequente impacto ambiental, dado que as unidades remotas são menos complexas devido ao processamento de banda base ser feito numa localização central. É conseguida a redução das despesas por parte dos operadores de serviços móveis uma vez que os locais de instalação tornam-se menos dispendiosos (aluguer do espaço e consumo energético). Do ponto de vista de *Operation & Maintenance* (OAM), as RRH são elementos com manutenção mais simplificada pois limitam-se ao módulo de interface rádio da rede de acesso. Também a unidade de processamento central tem manutenção mais simples e eficiente.

2.2.1.2 *Centralized*

O processamento de sinal de banda base (mais detalhado no apêndice A para o LTE) é transferido para as BBUs que posteriormente distribuem o sinal pelas RRHs. O *link* ótico torna-se crítico dado que deve assegurar ligações de baixa latência entre a BBU *pool* e várias RRHs. Existem duas topologias que se enquadram na ótica do C-RAN mas que apresentam diferenças técnicas entre elas, como é possível verificar na figura 2.7.

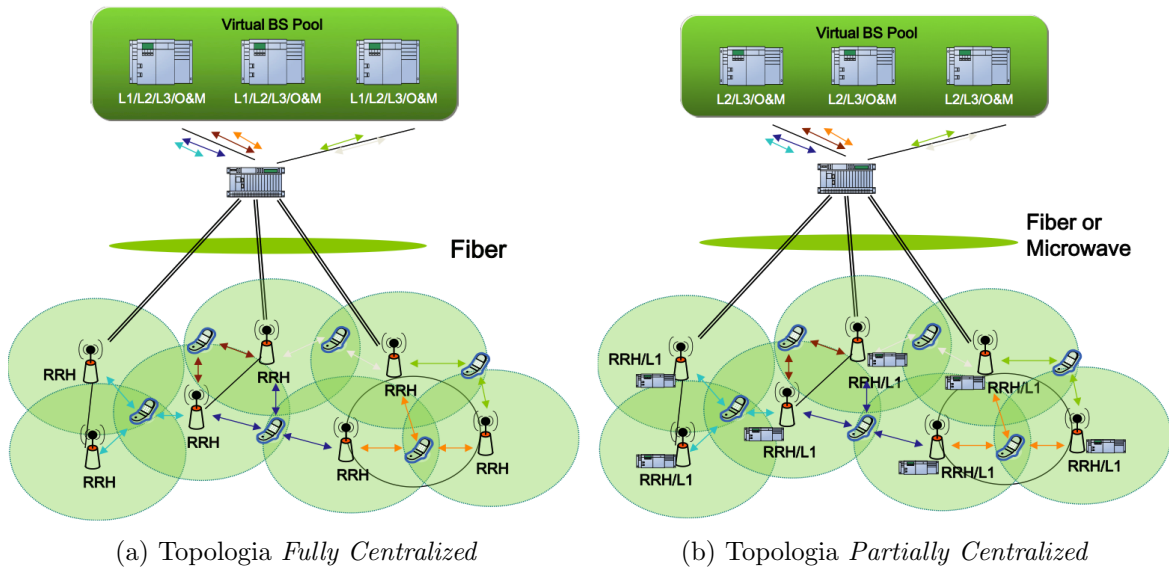


Figura 2.7: Topologias de implementação da arquitetura C-RAN, retirado de [13].

São então propostas duas topologias: *Fully Centralized* e *Partially Centralized*. A principal diferença reside no local onde é implementada a camada L1. A primeira topologia tem as vantagens de facilitar a atualização/expansão da capacidade do sistema, suportar o *Multi-Radio Access Technologies* (multi-RAT), tornar mais fácil a aplicação de protocolos de rádio

cooperativo como o CoMP, e maximizar a partilha de recursos. Por outro lado, esta topologia requer, para o *fronthaul*, elevada largura de banda para transportar o sinal *In phase/Quadrature* (I/Q) banda base e, consequentemente, elevada *bit rate* na ordem dos Gbit/s. A segunda topologia apresentada, *Partially Centralized*, implementa a camada L1, ou *Physical Layer* (PHY), nas RRHs fazendo com que hajam menores requisitos de largura de banda na ligação ótica pois transporta agora dados desmodulados, que são na ordem de 20 a 50 vezes menor que os dados I/Q modulados. As desvantagens desta solução são a menor flexibilidade do sistema, pois a modulação I/Q é integrada nas RRH, e a aplicação do CoMP torna-se mais difícil.

Ao referir-se a atualização do sistema facilitada, significa que, para os operadores de telecomunicações, com o C-RAN, é possível aumentar a capacidade da rede ou melhorar a cobertura de um dado local apenas por ligar mais uma RRH à BBU *pool*. Caso necessário, é também possível atualizar o *hardware* da BBU *pool* para oferecer melhor capacidade de processamento à rede. A solução *fully centralized* em conjunto com plataformas abertas como *hardware* reconfigurável e *General Purpose Processor* (GPP) permitem desenvolver sistemas do tipo SDR que possibilitam a atualização das interfaces rádio apenas por *software*, aumentando a flexibilidade quanto ao suporte de multi-RAT [13].

2.2.1.3 Cloud

Na literatura, o C-RAN é também identificado como *Cloud-RAN*, pois, a presença de *cloud computing* é um dos pontos diferenciadores em relação às arquiteturas de rede atuais, que foram mencionadas no início deste capítulo. Com a centralização do processamento de banda base nas BBU, pretende-se criar uma *pool* de recursos que podem ser acedidos por cada RRH. Uma BBU *pool* consiste num conjunto de BBUs virtuais que podem implementar diferentes *standards* de acesso e efetuar processamento paralelo. Como se pode verificar no esquema da figura 2.8, as *base stations* virtuais partilham os mesmos recursos de *hardware* mas constituem-se como instâncias independentes, com o seu próprio contexto (*Central Processing Unit* (CPU) e portos *Input/Output* (I/O)). O desenvolvimento deste ambiente virtualizado é facilitado pelo uso de GPP e sistemas operativos de tempo real que gerem a atribuição de recursos físicos às BBUs virtuais [13].

Um benefício da abordagem *cloud* para as unidades de processamento de banda base, é a possibilidade de atribuição flexível e eficiente dos recursos disponíveis pois as necessidades da rede dependem do local da unidade rádio e também da carga de utilizadores num dado instante. Desta maneira, é mitigado o problema mencionado no tópico 2.1.2, de que nem sempre as *base stations* fazem uso da sua capacidade máxima de processamento. Dado que toda a virtualização é feita por *software* é permitido o *upgrade* da plataforma de acordo com as exigências dos operadores, assim como o suporte para multi-RAT. Os GPPs atuais possuem características, como o baixo consumo de energia e alta compatibilidade, que os tornam indicados para correr aplicações/serviços, processamento de pacotes, núcleo da rede e processamento das camadas L2/L3 [14].

2.2.1.4 Cooperative

Por último, o C-RAN trás consigo uma abordagem de rádio cooperativo entre as unidades de rádio com vista a diminuir as interferências entre células, melhorar o desempenho na periferia das mesmas e assim aumentar a capacidade da rede e a eficiência espectral, tal como

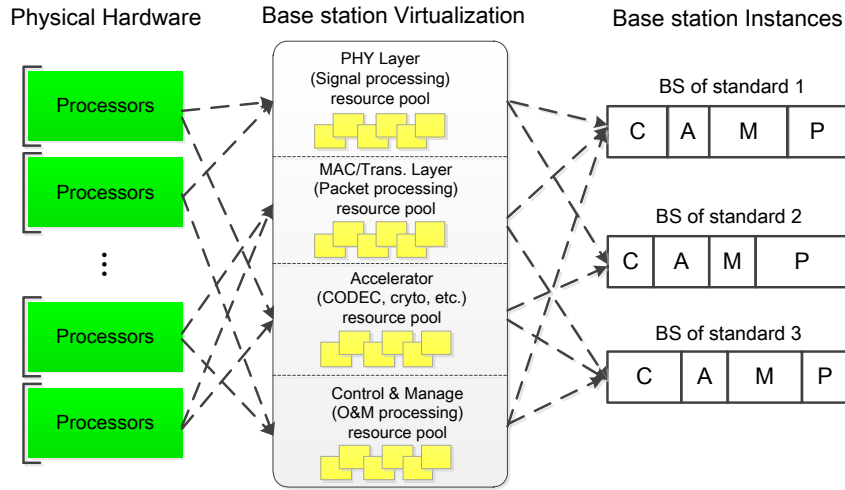


Figura 2.8: Esquema do processo de constituição de uma BBU *pool*, retirado de [13].

o ICIC e eISIC já mencionados. A arquitetura distribuída do C-RAN permite implementar a tecnologia CoMP, introduzida pelo 3GPP na *Release 11* do LTE para as Het-Nets [10]. O CoMP define-se como um conjunto de técnicas que envolvem o processamento conjunto e/ou o *scheduling* e *beamforming* coordenado entre pontos de acesso que asseguram melhorias no serviço móvel. Na abordagem de processamento conjunto, ou *joint processing*, é possível que os terminais móveis recebam dados de diferentes pontos de acesso no caso do *downlink*, e enviem dados para diferentes pontos recetores que são posteriormente combinados, no caso do *uplink*. A abordagem com técnicas de *scheduling* e *beamforming* permitem receber dados de apenas um eNB ou RRH mas com coordenação entre os vários pontos de acesso com vista à redução de interferências. No *uplink* a metodologia seguida é semelhante. Comparando as duas abordagens, a última descrita implica menos tráfego, dado que apenas informações de *scheduling* e de *beams* circulam entre os pontos de acesso, ao passo que, na primeira solução, também dados de utilizador são trocados [15]. Todos estes métodos de cooperação entre RRHs podem fornecer ao C-RAN grande aumento de eficiência e *throughput* nos limites das células. Comparando com a estrutura *Macro Cell*, espera-se obter melhoramentos na ordem dos 80% tanto para o *downlink* como para o *uplink*. Como são necessários menos eNB, traduz-se em poupanças significativas para os operadores [16].

2.2.2 Desafios

Os fundamentos anteriormente enunciados fazem do C-RAN uma proposta viável no que diz respeito a reduzir os custos e melhorar a qualidade do serviço prestado em comparação com as infraestruturas atuais. Porém, é necessário ainda ultrapassar questões de nível técnico para que, a um médio/longo prazo, se possa beneficiar das vantagens desta arquitetura.

2.2.2.1 Infraestrutura do *Fronthaul*

Um dos principais desafios na implementação da estrutura da rede de acesso C-RAN reside no *fronthaul*, ou seja, na ligação entre a BBU *pool* e as unidades rádio. Esta ligação requer muito baixas latências, limitações a nível do *jitter*, para além das necessidades de largura de banda para transportar sinal banda base como foi referido no tópico 2.2.1.2.

A implementação do *fronthaul* baseia-se assim no uso de uma rede de fibra ótica, ou, como alternativa, ligações microondas. A fibra pode não ser de fácil acesso, na medida em que não se encontra disponível da mesma maneira em todo o território e, para os operadores que não são proprietários da rede de fibra devido a questões de mercado, será mais complicada a instalação de uma arquitetura C-RAN. A figura 2.9 apresenta três topologias possíveis para o *fronthaul* baseadas em fibra ótica.

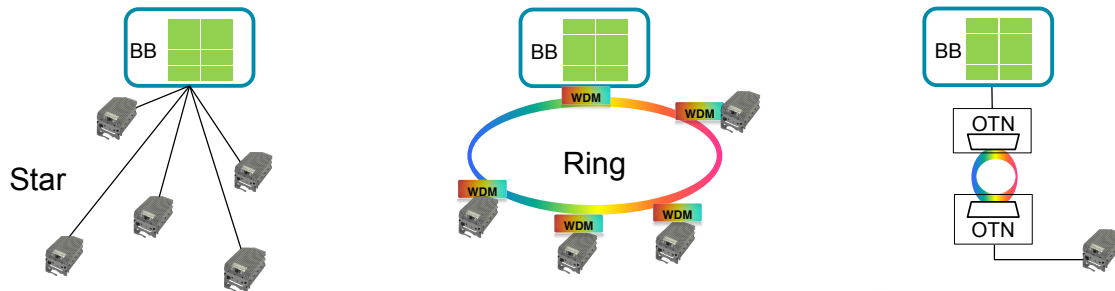


Figura 2.9: Implementações de *fronthaul* ótico para C-RAN, retirado de [6].

A configuração *Star* usa a rede *dark fiber* (rede de fibra ótica instalada em meios urbanos que não se encontra em uso) para ligações ponto-a-ponto entre cada RRH e a BBU *pool*. Este esquema tem a vantagem de possibilitar o uso das ligações dedicadas já existentes, requerendo, contudo, maior quantidade de fibra, equipamento auxiliar (para OAM e recuperação de falhas) e envolve *switching* mais complexo.

Em áreas onde os recursos óticos não se encontram tão disseminados, o *fronthaul* baseado num *Ring*, que acrescenta robustez no que toca a falhas na ligação, assenta na técnica *Wavelength Division Multiplexing* (WDM) o que implica menos fibras e multiplexadores passivos. Aqui as técnicas *Coarse Wavelength Division Multiplexing* (CWDM) e *Dense Wavelength Division Multiplexing* (DWDM) permitem a partilha da fibra por diferentes RRHs. O CWDM permite a transmissão até 16 canais de comprimentos de onda com a capacidade de 2,5, 4 ou 10Gbit/s por canal, com um alcance não superior a 100Km. O DWDM oferece maiores distâncias (1500 Km) e baseia-se na transmissão até 80 canais/comprimentos de onda na zona da banda C (*conventional band*). Porém, são impostos limites de largura de banda no projeto de unidades remotas em cascada além da necessidade de instalar OAM que podem elevar os custos.

Por outro lado, o transporte de CPRI e OBSAI pode ser efetuado através da *Optical Transport Network* (OTN). Esta infraestrutura oferece OAM nativa, possibilidade de correção de erros, para transporte em ambientes ruidosos e por maiores distâncias, assim como a maximização na utilização da largura de banda da fibra, pois suporta a multiplexação por comprimento de onda e no tempo. As barreiras que esta solução enfrenta são a necessidade de fonte de energia (presença de elementos ativos) e o nível de desempenho, pois é necessário limitar o erro de frequência introduzido aquando do mapeamento/desmapeamento do CPRI/OBSAI para os OTN *containers* [6] [17].

Em locais onde a fibra ótica não se encontra disponível, pode optar-se por instalar ligações microondas pois estas oferecem implementação mais facilitada, à custa de menor capacidade. Os *links* atuais de 2 até 38GHz oferecem ligações até 50-100Km e capacidades até 800Mbit/s, com a imposição de requererem licenciamento/planeamento do espectro eletromagnético. Com *millimeter waves*, acima dos 30GHz, a E-band (71 a 86 GHz) é usada para o tráfego

Gigabit Ethernet e atinge a taxa de 1.25 a 2.5Gbit/s (com previsão de 10Gbit/s no futuro). Contudo, para esta tecnologia, são possíveis distâncias até 5Km [18]. Outra solução passa por deslocar a camada L1 para a RRH aproximado-se assim da implementação *partially centralized*, devido aos menores requisitos de sincronização e largura de banda.

No LTE, os mecanismos de retransmissões entre os eNB e os UE, como o *Hybrid Automatic Repeat reQuest* (HARQ), determinam esses limites temporais que deverão ser respeitados. O eNB deve completar as tarefas *uplink CPRI processing*, *uplink frame decoding*, *ACK/NACK creation*, *downlink frame creation*, *downlink CPRI processing* até 3 a 4ms após receber dados do UE no *subframe n* enviando assim a resposta (ACK/NACK) no *subframe n+4*, dado que cada *subframe* LTE tem a duração de 1ms.

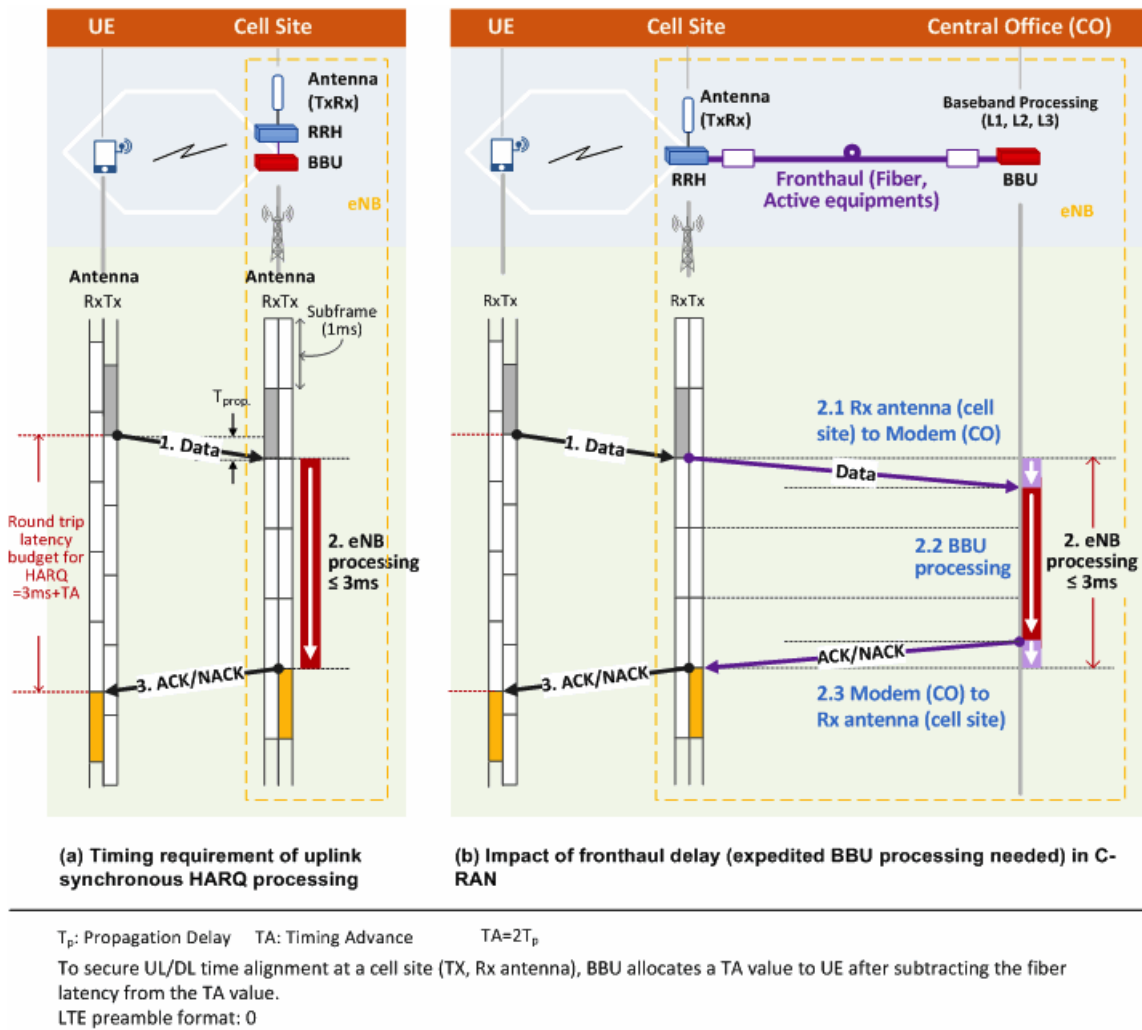


Figura 2.10: Requisitos de latência em C-RAN para o LTE, retirado de [19].

No caso do C-RAN, é necessário considerar que a distância máxima entre as unidades de rádio remotas e a BBU *pool* é imposta pelos requisitos temporais dos *standards* de acesso móvel. Assim, a soma dos atrasos devido ao transporte no *fronthaul* e ao processamento de banda base não deve exceder os 3ms, como se encontra esquematizado na figura 2.10. Os fabricantes de BBUs desenham os seus produtos de modo a que este processamento não exceda

os 2.75ms reservando assim $250\mu s$ para o atraso na ligação ótica. Citando as estimativas de [19], e considerando a latência na fibra de $5\mu s/Km$, obtêm-se uma extensão máxima de cerca de 25 Km para o *fronthaul*.

Para finalizar este tópico, de referir que, as técnicas de compressão de dados de utilizador (amostras I/Q), como a redução do ritmo de amostragem até à frequência de Nyquist ou quantização não linear, apresentam-se como soluções de impacto direto no dimensionamento do *fronthaul* do C-RAN. O CPRI atual já não responde a um cenário onde é usado LTE @ 20 MHz para três setores com 4 antenas (*line rate* insuficiente). Assim métodos de compressão no domínio do tempo e da frequência exploram a redundância do sinal nestas duas componentes e mostram ser possível a compressão de 3x a 5x [20] [21]. Os pontos desfavoráveis são a necessidade de processamento extra (compressão e descompressão) o que leva ao aumento da complexidade dos módulos e ao aumento da latência. Como referência, os resultados alcançados em [20] mostram que os algoritmos de compressão e descompressão propostos, implementados em FPGA, adicionam, no total, uma latência de $8.33\mu s$ para além do restante processamento digital.

2.2.2.2 Rádio Cooperativo

Como já foi referido no tópico 2.2.1.4, o C-RAN pode beneficiar da implementação da funcionalidade CoMP devido à sua arquitetura centralizada. As ligações, por fibra ótica, ponto-a-ponto entre BBUs e RRHs excluem a dependência da topologia da rede (*backhaul*), como acontece com as *base stations* interconectadas pelas interface X2. A arquitetura do C-RAN oferece assim menores latências e mais elevada capacidade. Porém, o CoMP, uma vez que é baseado em *joint processing* e *joint scheduling*, requer, para se tornar eficiente, que dados de utilizador, informações de *scheduling* e as características dos canais de *downlink* e *uplink* estejam disponíveis nas várias *base stations* virtuais. De modo a assegurar a cooperação em tempo real, a interface entre elas deve suportar elevada largura de banda, assim como baixa latência, pois necessita de trocar elevada quantidade de informação.

2.2.2.3 Small Cells

Como foi desenvolvido anteriormente no tópico 2.1.1, as *Small Cells* tem vindo a instalar-se com relativo sucesso disponibilizando melhor cobertura e aumento de capacidade em certas localizações. Esta tendência difere da do C-RAN na medida em que não pressupõe qualquer processamento centralizado mas sim uma versão em pequena escala da atual arquitetura com *Macro Cell*. As *Small Cells* conseguem assim aumentar a densidade de utilizadores numa mesma área, criando contudo complicações nível do *backhaul* da rede em termos de complexidade e escalabilidade. Tal como o C-RAN, também as *Small Cells* oferecem redução de despesa na medida em que reduzem os custos de processamento de banda base e de equipamento rádio e melhora a eficiência espectral assim como o *throughput* global. Comparando com a rede *Macro* do LTE, pode-se reduzir o custo por bit numa ordem de 4 ou, no caso de envolver ligações de microondas, reduz os custos para metade. O C-RAN pode ser mais viável para as operadoras que dispõem de uma rede de fibra ótica à medida das exigências, com menor custo. Para outras, os ganhos obtidos com a redução da complexidade das unidades remotas são mitigados com o facto de ser necessária a instalação uma rede ótica dispendiosa, para as ligações Gigabit. A este nível, as *Small Cells* apresentam-se mais atrativas [16].

2.3 Arquitetura do *Fronthaul*

O *fronthaul* é infraestrutura de ligação entre as unidades de processamento de sinal banda base e as unidades com interface rádio. Por este meio, são transmitidos os dados de utilizador sob a forma de amostras I/Q assim como informações de controlo e gestão. O *fronthaul* deve suportar os requisitos de largura de banda, assim como as latências máximas permitidas pelos *standards* de acesso. O *fronthaul* do C-RAN, permite a ligação das RRHs à BBU *pool* e deve convergir para uma uniformização das suas interfaces de modo a garantir a interoperabilidade entre equipamentos de diferentes fabricantes. Essa compatibilidade verifica-se tanto ao nível de interface física (especificações elétricas e conectores) como ao nível do protocolo de comunicação que implementa as camadas da *stack* protocolar e suporte de *standards* rádio.

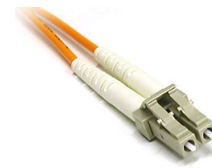
Quanto à interface física, a fibra ótica é o principal meio de transmissão de sinal usado na indústria das telecomunicações devido às suas vantagens em termos de atenuação e interferência quando comparada com as linhas de cabo de cobre. Estas últimas levam à perda de cerca de metade da potência (atenuação de 3dB), entre a cabine de processamento de banda base até à RRH instalada no topo da torre, junto às antenas. Para estabelecer a ligação ótica, existem no mercado *transceivers* para a conversão de sinal elétrico/ótico. São de seguida apresentados alguns módulos *pluggable* que simplificam o equipamento de rede e reduzem custos, ao permitir alta compatibilidade e flexibilidade na reparação, atualização e expansão das interfaces. É o caso do *Small Form-factor Pluggable* (SFP), um *transceiver* bidireccional com transmissor e recetor na mesma *package* física. As características técnicas estão definidas no *industry-standard multisource agreement* (MSA) SFF-8472. O *Enhanced Small Form-factor Pluggable* (SFP+) partilha a mesma *package* do SFP, mas permite ritmos de transmissão de 10 Gigabit. É ainda definido, na INF-8077i, o *10 Gigabit Small Form-factor Pluggable* (XFP) usado em aplicações que requerem elevada *bit rate*. Para interface ótica, estes módulos são compatíveis com conectores LC Simplex/Duplex (*standard* IEC 61754-20) [22].



(a) Módulo SFP/SFP+.



(b) Módulo XFP.



(c) Conector LC Duplex.

Figura 2.11: Exemplos de *transceivers* óticos do tipo *pluggable* e conector ótico.

No que toca aos protocolos de comunicação sob fibra ótica, dispõe-se das especificações do CPRI, OBSAI e, mais recentemente, do *Open Radio Interface* (ORI). Os dois primeiros resultam de iniciativas entre as principais entidades do setor das telecomunicações com vista a obter uma arquitetura *standard* de comunicação entre *base stations* de sistemas celulares. O CPRI, é desenvolvido desde 2003, entre outros, pela Ericsson AB, Huawei Technologies Co., Alcatel Lucent e Nokia Siemens Networks GmbH & Co. KG. A especificação do OBSAI RP3-01 (*Reference Point 3*) tem sido defendida, desde 2002, pela Hyundai, LG Electronics, Nokia, Samsung e ZTE. A título de comparação, na tabela 2.1, são apresentadas algumas características dos protocolos acima mencionados. Por último, o ORI está a ser preparado

pelo ETSI e assenta no CPRI, apresentando modificações ao nível das camadas superiores (L2) que visam aumentar a interoperabilidade da interface [23].

	OBSAI RP3-01	CPRI
Dados de Utilizador (I/Q)	80%	93.75%
Dados de Controlo C&M	4%	6.225 %
Sincronização	0.25%	0.025%
<i>Overhead</i> fixo	15.75%	0%

Tabela 2.1: Quadro comparativo acerca da alocação de largura de banda para o OBSAI e CPRI para uma ligação a 3.072 Gbit/s, retirado de [24].

A presença de *overhead* fixo no OBSAI prende-se por maior flexibilidade em termos de suporte de múltiplas tecnologias de acesso rádio. A tendência do mercado tem sido a adoção do CPRI como a interface *standard* entre equipamentos rádio e é também suportada pela arquitetura C-RAN. Dada a sua importância neste documento, são apresentados os pontos-chave o protocolo CPRI com vista a explorar as suas capacidades no transporte de amostras I/Q.

2.3.1 Common Public Radio Interface (CPRI)

A especificação do protocolo CPRI é direcionada às camadas L1 e L2 do modelo OSI e define a comunicação entre o *Radio Equipment Control* (REC) e o *Radio Equipment* (RE). São especificados os fluxos: *User Plane* ou *U-Plane* (dados que circulam entre *base stations* e unidades de rádio; *Synchronization* (dados de sincronização e *timming* entre os nós); e *Control & Management* (dados de gestão e controlo do modo de funcionamento do *link* CPRI). Em termos de ligações lógicas, estabelecem-se, entre cada REC e RE, os seguintes *Service Access Point* (SAP)s: SAP_{IQ} , SAP_S e $SAP_{C\&M}$. Na figura 2.12 é apresentado o diagrama básico da interface CPRI.

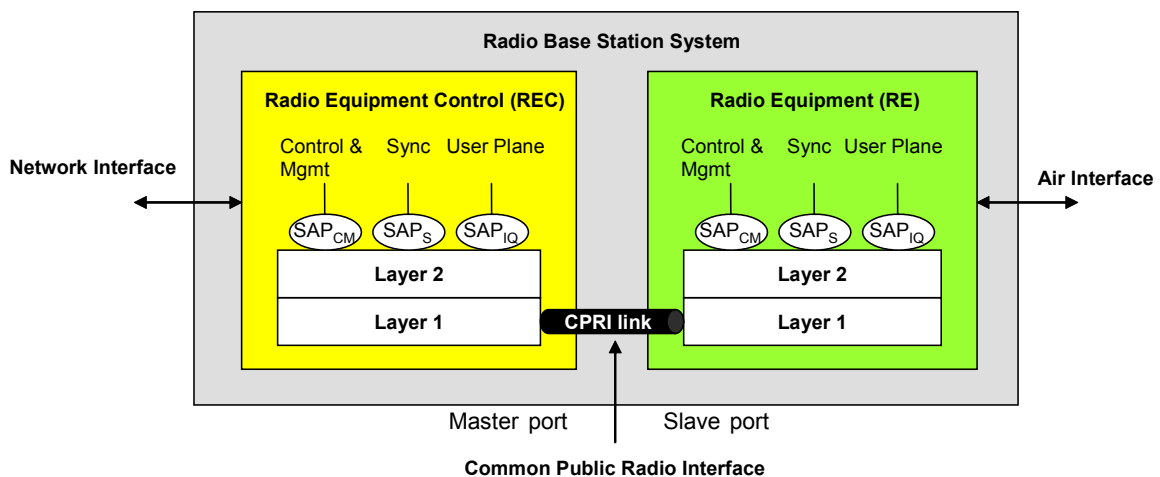


Figura 2.12: Arquitetura da interface CPRI, retirado de [25].

Neste protocolo, são definidos o REC que deve incluir, pelo menos, uma interface *master*

e o RE, que deve dispor de, pelo menos, uma porta *slave*. Uma diferença de relevo entre os dois modos de operação, reside no campo da sincronização. Para o *master*, os *timings* para transmissão dos *frames* são gerados localmente. No caso do *slave*, os *timings* de transmissão são derivados da informação recuperada na receção. A informação sobre *timings* dos *frames* é por sua vez, transmitida pelo *SAPS*. O REC é a entidade que implementa a interface com o núcleo da rede (*backhaul*), *Control & Management* (C&M) da *base station* e processamento de sinal de banda base. Das funções do RE, destacam-se a conversão do sinal entre os domínios digital e analógico, amplificação e filtragem de sinal de RF e a *down/up-conversion* para o *uplink/downlink*, respetivamente.

Com a informação do parágrafo anterior, pode estabelecer-se o paralelismo entre as entidades de BBU e REC assim como RRH e RE. Esta relação será utilizada ao longo deste documento. Na especificação do CPRI, outras definições se podem extrair tais como as que são apresentadas nos tópicos seguintes.

Stack Protocolar

Na figura 2.13, é mostrada a *stack* protocolar implementada pelo CPRI. O tráfego *U-Plane* corresponde aos dados I/Q de diferentes *Antenna-carrier* (AxC). Os dados C&M são enviados por protocolos da L2, como o *High-level Data Link Control* (HDLC) (*slow* C&M) ou Ethernet (*fast* C&M), e multiplexados com o fluxo I/Q, fluxo de sincronização e com a informação reservada ao fabricante ou *Vendor Specific*, por um método de *Time Division Multiplexing* (TDM) para o domínio elétrico/ótico. As informações de *frame timing* alocadas no fluxo de sincronização devem ser usadas pelo RE para a temporização precisa de transmissão e receção da interface com o meio livre (RF).

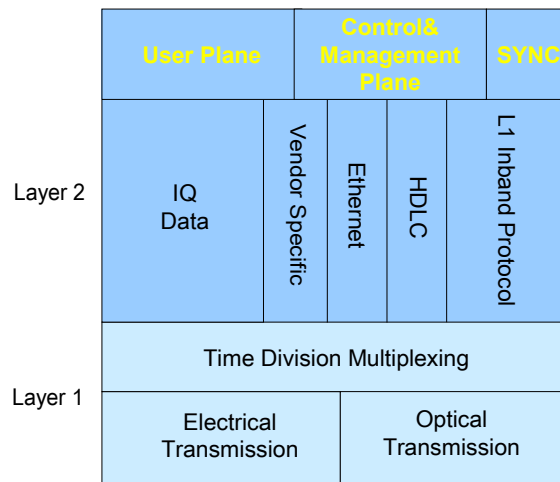


Figura 2.13: Camadas protocolares do CPRI, retirado de [25].

Camada L1

A especificação do CPRI contempla, na transmissão série do *frame*, a codificação 8B/10B. Este processo, que codifica valores de 8 bits em 10 bits, adiciona *overhead* com vista a melhorar as características do sinal, quando transmitido por longas distâncias, a nível da recuperação

de relógio, balanço DC (proporção entre 0's e 1's), detecção e prevenção de erros. Este esquema de codificação é usado em interfaces série de alto débito pois, no caso ótico, o balanço DC mantém o *duty-cycle* dos lasers em 50% otimizando o desempenho, a dissipação de energia, assim como limita o DC *offset* melhorando os níveis de *threshold* de detecção. Tendo em conta esta codificação, as *line rates* suportadas pelo CPRI encontram-se na tabela 2.2. A opção de *line rate* 8 usa, por sua vez, o esquema de codificação 64B/66B.

Opção da <i>Line Rate</i> CPRI	<i>Line Rate</i> (Mbit/s)	Dimensão da <i>word</i> (T)	Dimensão da <i>word</i> de controlo (T_{CW})	Bits I/Q em cada <i>basic</i> <i>frame</i>
1	614.4	8	$T_{CW} = T$	120
2	1 228.8	16		240
3	2 457.6	32		480
4	3 072.0	40		600
5	4 915.2	64		960
6	6 144.0	80		1200
7	9 830.4	128		1920
8	10 127.6	160	$T_{CW}=128$	2400

Tabela 2.2: *Line Rates* permitidas na especificação v6.0 do CPRI.

As *line rates* para o CPRI foram projetadas de modo a que a recuperação do UMTS *chip rate* de 3.84MHz fosse simplificado.

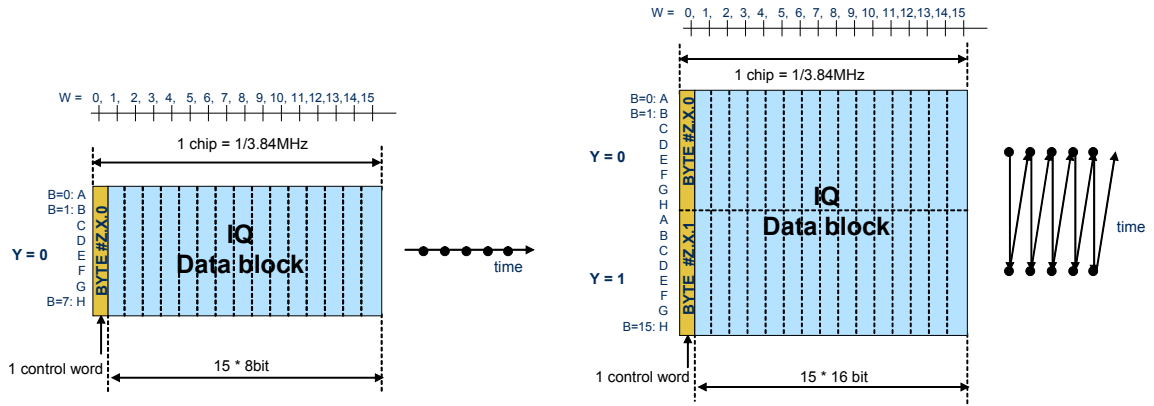
Estrutura do *Frame*

O *basic frame* do CPRI é formado por 16 *words* de tamanho T bits, sendo a primeira usada para controlo, e tem a duração fixa de t_{chip} . O diagrama do *basic frame* encontra-se na figura 2.14.

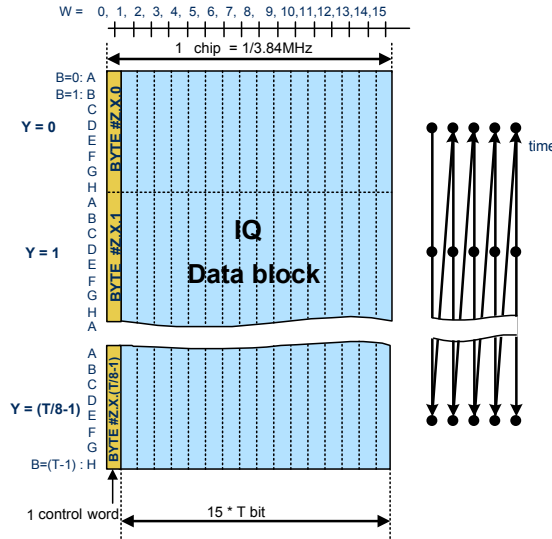
Nesses esquemas, é possível verificar que a dimensão da *word*, T , está relacionada com a *line rate* do CPRI. Em cada *basic frame* são enviadas S amostras I/Q. Estes *frames* são agrupados em conjuntos de 256 formando assim o *hyper frame*. Deste modo, em cada *hyper frame* seguem 256 palavras de controlo (X) que são organizadas em grupos de 4 formando assim 64 subcanais (N_S), sendo que, o índice de cada palavra dentro de cada um é representado por X_S . Estes subcanais servem para o transporte de diferentes fluxos como a sincronização, *slow C&M*, *fast C&M*, *Vendor Specific* entre outros. Como é possível verificar na figura 2.15, o fluxo *Vendor Specific* começa no subcanal $N_S = 16$ até ao subcanal onde começa o fluxo de *fast C&M* Ethernet. A informação onde começa este último é inserida sob a forma de ponteiro no subcanal $N_S = 2$. Por fim, o CPRI 10ms *frame*, é constituído por 150 *hyper frames* [25].

Fluxo de Dados *U-Plane*

Relativamente aos dados de utilizador, a capacidade da ligação é definida em termos de AxC. Um AxC corresponde à quantidade de dados banda base I/Q necessários tanto para receção como para transmissão de uma portadora para cada antena. Os AxC *Containers* são



(a) Estrutura do *basic frame* CPRI para a *line rate* de 614.4 Mbit/s. (b) Estrutura do *basic frame* CPRI para a *line rate* de 1288.8 Mbit/s.



(c) Estrutura genérica do *basic frame* CPRI.

Figura 2.14: Estrutura do *basic frame* CPRI, retirado de [25].

alocados no *IQ block* do *basic frame*. Um *AxC Container* para o *UMTS Terrestrial Radio Access (UTRA) Frequency Division Duplex (FDD)* contém as amostras I/Q para um *AxC* com a duração de um *chip* UMTS ($t_{chip} = 1/3.84MHz$), enquanto que, para o E-UTRA, contém amostras I/Q para um ou mais *chip* ou bits de amostras I/Q e por vezes *stuffing* bits.

Os *AxC Containers* podem ser mapeados, num *basic frame* de duas maneiras, indicadas no ponto 4.2.7.2.3 da especificação. Os métodos de mapeamento das amostras I/Q são descritos nas secções 4.2.7.2.5, 4.2.7.2.6, 4.2.7.2.7 e 4.2.7.2.8 desse documento. O método de mapeamento 1, ou *IQ sample based*, tem como finalidade otimizar a transferência de dados I/Q, aumentando assim o aproveitamento da largura de banda, e garantir a mais baixa latência tendo em conta todo o processamento de amostras I/Q feito no RE. O tamanho do

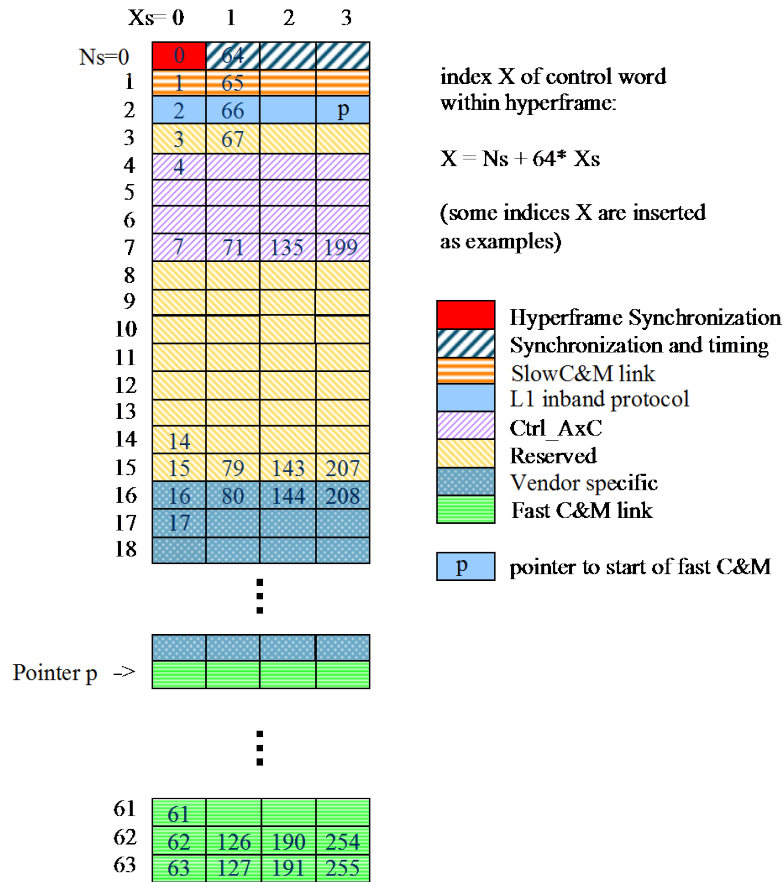


Figura 2.15: Subcanais presentes no *hyper frame* CPRI, retirado de [25].

$$N_{AxC} = 2 \cdot ceil\left(\frac{M \cdot f_s}{f_c}\right) \quad (2.1)$$

$$\frac{S}{f_s} = \frac{K}{f_c} \quad (2.2)$$

$$K = \frac{LCM(f_s, f_c)}{f_s} \quad (2.3)$$

Assim, cada *AxC Container* é composto por $N_{st} = K \cdot N_{AxC} - 2 \cdot M \cdot S$ de *stuffing bits* e por S amostras I/Q. O conteúdo dos *stuffing bits* são específicos do fabricante.

A frequência de amostragem é um parâmetro que está diretamente relacionado com a largura de banda do canal. A tabela 2.3 apresenta essa dependência para o E-UTRA.

Largura de Banda do Canal (MHz)	1.4	3	5	10	15	20
Subportadoras ocupadas (incluindo a DC) para <i>downlink</i>	73	181	301	601	901	1201
Subportadoras de guarda	55	73	211	423	635	847
N_{FFT}	128	256	512	1024	1536	2048
Frequência de Amostragem (MHz)	1.92	3.84	7.68	15.36	23.04	30.72
Frequência de Amostragem / <i>Chip Rate</i> UMTS	$1/2$	1	2	4	6	8
Largura de Banda ocupada (MHz)	1.095	2.715	4.515	9.015	13.515	18.015

Tabela 2.3: Relação entre as larguras de banda típicas do E-UTRA e as respectivas frequências de amostragem, adaptado de [25].

Considerando o espaçamento entre subportadoras, $\Delta f = 15kHz$, a frequência de amostragem é obtida pela equação 2.5.

$$f_s = \Delta f \cdot N_{FFT} \quad (2.5)$$

As considerações feitas anteriormente são úteis no escalonamento do *link* CPRI na medida em que permitem encontrar a quantidade de informação *U-Plane* que é possível incluir num *basic frame*, dependendo da *line rate* e da largura de banda do sinal que se pretende transmitir. De modo a exemplificar esta questão, são feitos, seguidamente, os cálculos que permitem determinar a largura de banda máxima de um canal E-UTRA para uma interface CPRI a operar a 1228.8 Mbit/s (opção 2). Com esta *line rate*, tem-se $T = 16$. O que significa que o *basic frame* tem a dimensão de $16 \times 16 = 256$ bits, sendo que, como $T_{CW} = 16$, o *IQ block* tem a dimensão de $256 - 16 = 240$ bits, ou 7.5 pares de amostras I/Q de 16 bits (última coluna da tabela 2.2). Assim, este é o número de amostras que é possível transmitir num t_{chip} . Tendo em consideração as larguras de banda definidas pelo LTE, para 10MHz, tem-se $S = 4$, e para 20MHz, $S = 8$. Assim, a máxima largura de banda possível, considerando amostras de 16 bits, é, neste exemplo, 10MHz. Caso a dimensão das amostras I/Q fosse de 15 bits, a largura de banda de 20MHz já seria possível para um *link* a operar a 1228.8 Mbit/s. Na tabela 2.4 encontram-se os requisitos para configurações típicas de eNB, considerando amostras I/Q de 16 bits.

A última configuração apresentada na tabela 2.4 vem confirmar o facto apresentado em 2.2.2.1, de que o CPRI, sem métodos de compressão da dados I/Q, já não cumpre determinados requisitos.

Configuração	<i>Line Rate</i> CPRI mínima (Mbit/s)
1 Setor LTE 10MHz MIMO 2x2	2457.6
1 Setor LTE 20MHz MIMO 2x2	4915.2
3 Setores LTE 20MHz MIMO 2x2	3 x 4915.2

Tabela 2.4: Capacidade do *link* CPRI requerida para configurações típicas de *base stations*.

Configurações Suportadas

A interconexão entre RECs e REs pode ser efetuada de diferentes maneiras. O CPRI suporta as topologias mais comuns, como a *star* (múltiplas ligações ponto-a-ponto), *chain*, *tree* e *ring*. É também possível estabelecer várias ligações ponto-a-ponto entre um REC e o mesmo RE.

Neste capítulo foram introduzidos os conceitos que dizem respeito às redes de acesso móveis atuais ao nível da sua organização, infraestruturas e interfaces. Foram ainda apresentados os pontos-chave do C-RAN, assim como os principais desafios relativos à sua implementação. No próximo capítulo, pretende-se descrever os componentes que constituem uma RRH compatível com os sistemas C-RAN.

Capítulo 3

Remote Radio Head para C-RAN

Nos sistemas de rádio, o *front end* constitui o elo de ligação entre o domínio RF e o domínio de banda base. Para um recetor, o *front end*, pode ser descrito como o elemento que é alimentado por sinal analógico e disponibiliza, à unidade de processamento, sinal digital com uma determinada largura e banda, frequência central (nula no caso banda base) e taxa de amostragem. As funcionalidades do *front end* são a *channelization*, digitalização, conversão de ritmos de amostragem e sincronização (estimação e correção de erros). O processo de *channelization* envolve a seleção do canal de interesse para banda base e a remoção dos canais adjacentes. A figura 3.1 pretende esquematizar os blocos envolvidos num recetor de rádio.

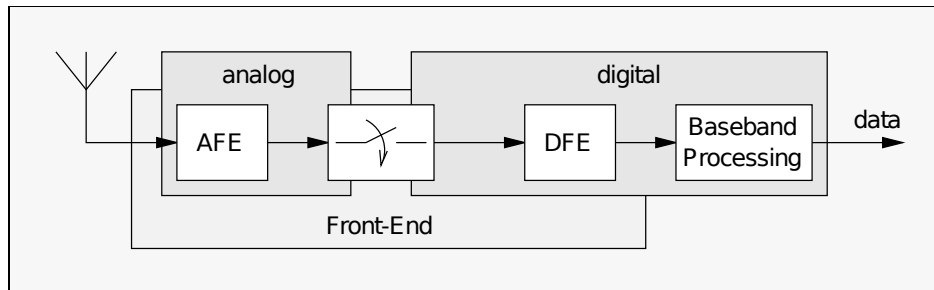


Figura 3.1: Constituintes de um *front end* para um recetor digital, retirado de [26].

As considerações feitas anteriormente são igualmente válidas para o caso do transmissor rádio, salvaguardando as devidas diferenças a nível do produtor e consumidor de sinal.

Como será verificado na secção 3.1.1, os procedimentos de *channelization* podem ser implementados tanto no domínio analógico como no domínio digital, resultando em diferentes implementações de recetores e transmissores. Assim, as funcionalidades do *front end* podem ser repartidas entre o *Analog Front End* (AFE) e o *Digital Front End* (DFE).

Na arquitetura C-RAN, as RRHs consistem nas unidades remotas de interface rádio, ligadas à BBU *pool*, e que são instaladas em determinados locais de modo a providenciar cobertura numa certa zona. Estes módulos deverão limitar-se à conversão de sinal banda base para sinal RF e vice-versa. Na figura 3.2, é apresentado um diagrama genérico para a RRH. Este diagrama envolve a interface de alto débito com o *fronthaul*, o processamento digital de sinal e o tratamento analógico. São também incluídos serviços de OAM para gestão

e monitoração do equipamento.

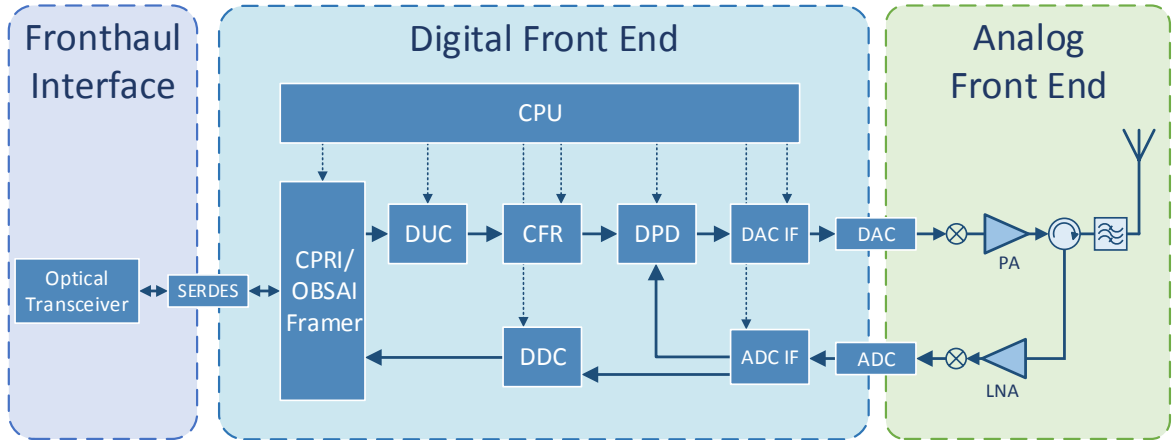


Figura 3.2: Diagrama de blocos típico de uma RRH, adaptado de [27].

Este capítulo pretende descrever, com algum pormenor, os blocos funcionais da RRH, começando por apresentar o SDR como paradigma para o desenvolvimento destes módulos de rádio.

3.1 *Software Defined Radio*

O termo SDR foi introduzido em 1991 por Joseph Mitola porém, desde alguns anos antes já era usado em contexto militar. É o caso do *SpeakEasy*, uma ferramenta das forças armadas dos EUA, que usava tecnologia SDR para comunicar com mais de 10 diferentes modulações de rádio, com um único sistema. Este projeto, que decorreu na década de 90, visava resolver os problemas de interoperabilidade entre os diferentes sistemas de rádio dos vários ramos das forças armadas americanas [28]. Os sistemas de comunicação concebidos sobre o paradigma SDR, visam a implementação de algumas funções da camada física por *software*. Nos sistemas de rádio tradicionais, são usados *Application Specific Integrated Circuit* (ASIC), circuitos integrados para RF, componentes RF discretos (como filtros, misturadores, moduladores/desmoduladores, amplificadores, entre outros) e digitais. Estes módulos terão sempre uma operação constante ou podem apresentar uma interface de controlo onde podem ser configurados alguns dos seus parâmetros por interface de controlo, como por exemplo a escolha de um determinado canal rádio, a geração de um relógio a uma dada frequência ou a configuração do nível de potência de um transmissor. Contudo, um rádio definido por *software* permite a modificar e/ou adicionar componentes a um sistema de rádio sem intervenção física, aumentando assim a flexibilidade na medida em que torna possível o suporte para diferentes *standards* de acesso na mesma plataforma. A figura 3.3 ilustra a arquitetura ideal de um sistema baseado em SDR.

Num rádio definido por *software*, parte das funções da camada física são implementadas por meios de processamento digital de sinal em dispositivos programáveis tais como FPGA, *Digital Signal Processor* (DSP), ou GPP. No domínio analógico, ficam elementos tais como o *Power Amplifier* (PA) e *Low-Noise Amplifier* (LNA) para amplificação do sinal transmitido e recebido, respetivamente. A digitalização do sinal recebido é conseguida com a *Analog to*

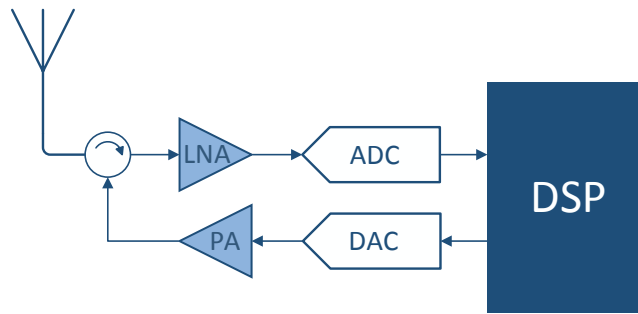


Figura 3.3: Esquema de um sistema SDR ideal.

Digital Converter (ADC), e para converter o sinal digital em analógico recorre-se à *Digital to Analog Converter* (DAC).

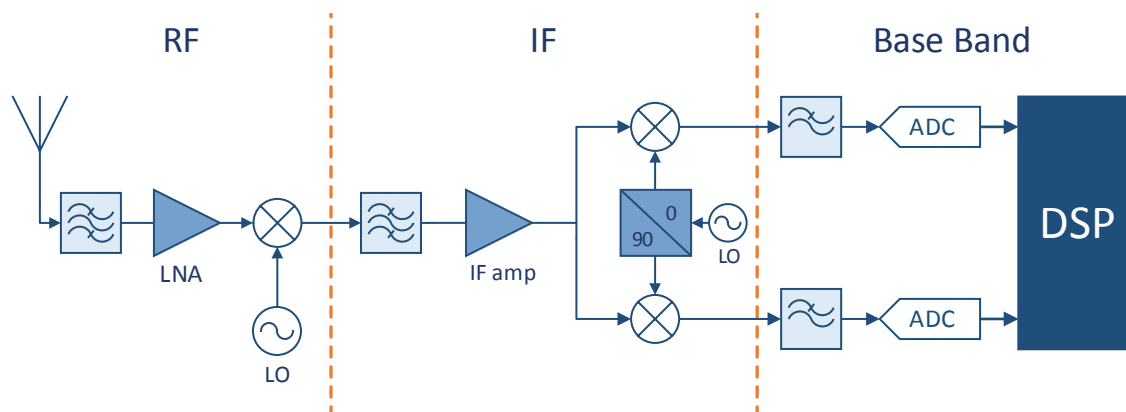
3.1.1 Arquiteturas de Transmissores e Recetores

O *front end* RF envolve a conversão de sinal digital em sinal analógico no sentido da transmissão e vice-versa para o caso da recepção. Tendo como extremos o bloco de processamento digital, como um DSP, e a(s) antena(s), diferentes configurações são válidas para sistemas SDR, como as apresentadas na figura 3.4, são usadas como recetores digitais (ou transmissores com as devidas modificações).

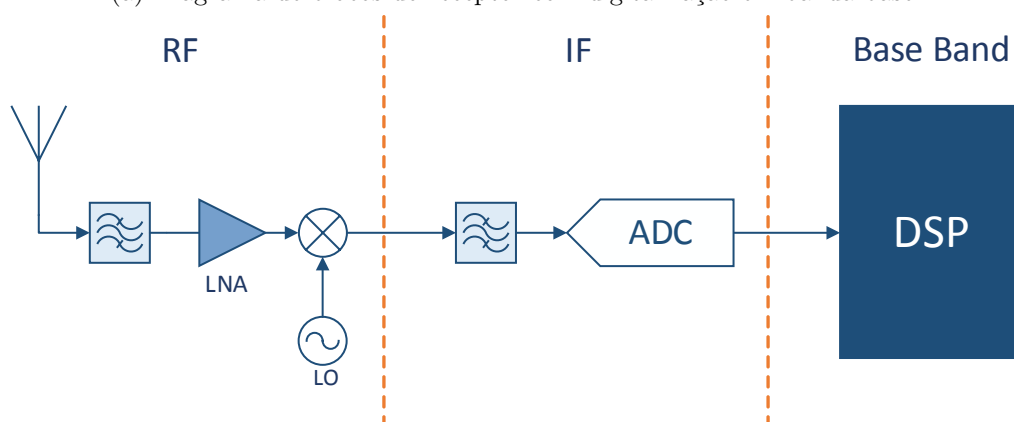
A primeira configuração apresentada (figura 3.4(a)), é a mais adotada nos sistemas atuais sendo a digitalização da informação, sob forma de amostras I/Q, feita à frequência de banda base (frequência central nula). Para se dispor no bloco ADC de amostras em banda base, o sinal recebido passa por duas fases de *down-conversion*. Aqui, os filtros têm a função de seleccionar o canal pretendido e de rejeitar as frequências imagem resultantes do processo de *down-conversion*, e o LNA amplifica o sinal recebido minimizando o ruído adicionado. Este recetor, também conhecido como super-heteródino, utiliza componentes na zona RF e *Intermediate Frequency* (IF) de banda estreita o que implica baixo custo e consumo. Contudo, do ponto de vista SDR, a realização de um sistema para banda estreita não é vantajosa dado serem necessários componentes fixos de *hardware* dificultando a operação para outros canais.

A topologia de recetor presente na figura 3.4(b), realiza apenas uma *down-conversion* e a ADC opera à frequência IF. A conversão para o regime banda base é posteriormente feita no domínio digital, num DSP. Comparativamente à configuração anterior, dado que parte do sistema é digital, dispõe-se agora de maior flexibilidade na medida em que a dependência dos elementos de *hardware* é menor. Para além disso, diferentes tecnologias de acesso rádio podem ser processadas na mesma plataforma sendo apenas necessárias alterações ao nível de *software*.

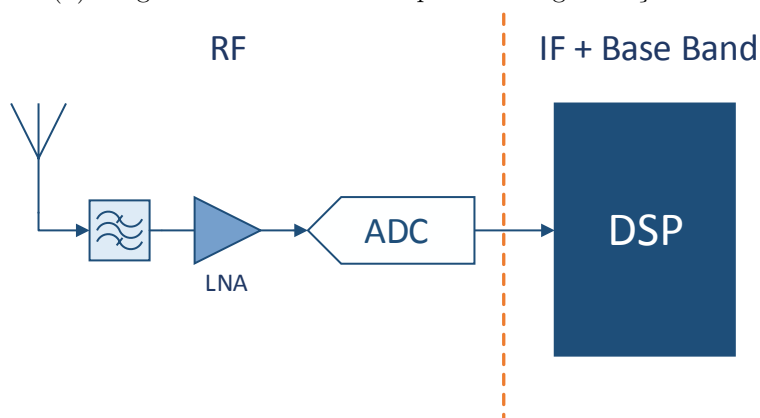
Na última configuração apresentada, presente na figura 3.4(c), a digitalização do sinal é feita directamente no domínio de RF e é a que mais se aproxima da ideal proposta para sistemas SDR (figura 3.3). Neste caso, é usado o mínimo de componentes fixos possíveis e toda a conversão para amostras de banda base é feita exclusivamente no domínio digital. Porém, ao contrário do receptor com digitalização em IF, este apresenta limitações ao nível dos módulos ADC e DAC pois, para operar corretamente, estes têm de possuir, entre outros, elevada frequência de amostragem e largura de banda o que pode levar a implementações de elevado custo.



(a) Diagrama de blocos do receptor com digitalização em banda base.



(b) Diagrama de blocos do receptor com digitalização IF.



(c) Diagrama de blocos do receptor com digitalização RF.

Figura 3.4: Arquiteturas típicas de recetores digitais.

Importa ainda fazer uma alusão à utilização da IF em recetores super-heteródinos. Uma vantagem é a que, como a IF é menor que a RF, quando o sinal passa por elementos como amplificadores, baseados em transístores, estes possuem melhor resposta em termos de ganho e estabilidade. Outra razão é a facilidade em conceber recetores aptos para várias frequências

pois, com um oscilador local variável, é possível centrar o sinal pretendido na mesma IF, logo sem mudanças de *hardware*. Por fim, o uso de sistemas com IF permite o desenho de filtros com melhor resposta no que diz respeito à remoção de canais adjacentes pois, a frequências mais baixas, é possível filtrar bandas mais estreitas aumentando a seletividade na frequência.

Para o caso dos transmissores digitais, as três configurações apresentadas são igualmente válidas, aplicando-se os mesmos princípios de funcionamento e características técnicas.

3.2 *Digital Front End*

Na perspectiva SDR, pretende-se minimizar a componente analógica colocando o módulo de conversão analógica-digital o mais próximo possível da antena, tornando o sistema o mais digital possível. Daí resulta maior complexidade para o DFE, pelo que este deve comportar algoritmos de processamento digital de sinal. Para tal, são requeridos dispositivos dedicados como os DSPs ou sistemas reconfiguráveis como as FPGAs. As últimas apresentam certas vantagens como o processamento paralelo, a existência de multiplicadores embutidos e ao *hardware* escalável e parametrizável que é possível desenvolver, juntamente com os *cores* otimizados para aplicações específicas, oferecendo melhor relação custo-eficiência. São de seguida descritos os algoritmos digitais que são implementados no DFE da RRH.

3.2.1 *Digital Up-Conversion*

O bloco *Digital Up-Conversion* (DUC) é um constituinte da cadeia do DFE de um transmissor e efetua o deslocamento de um sinal de banda base, com frequência central nula, para sinal IF ou RF, com frequência central superior, assim como a *Sample Ratio Conversion* (SRC). Os blocos envolvidos são filtro interpolador, misturador digital e oscilador local digital, como se pode verificar na figura 3.5.

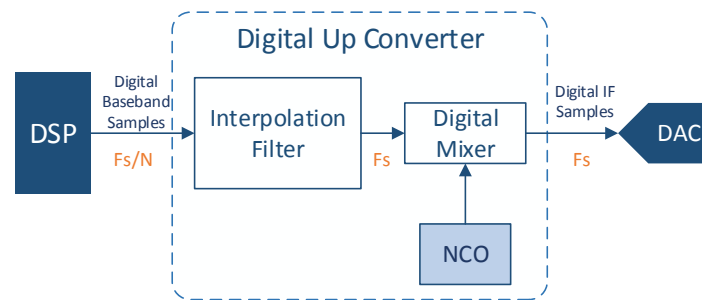


Figura 3.5: Diagrama de blocos da DUC, adaptado de [29].

O DUC começa por realizar a elevação da frequência de amostragem do sinal banda base complexo por um fator de N com uma sequência de filtros interpoladores, usualmente, do tipo *Finite Impulse Response* (FIR) e *Cascaded Integrator Comb* (CIC). Este último, resulta de uma combinação entre fases de integrador e diferenciador digitais conseguindo realizar, ao mesmo tempo, as operações de filtro passa-baixo e interpolação/decimação. A sua topologia em cascata melhora a resposta nas bandas de rejeição. Uma vez que não requerem blocos multiplicadores, estes filtros tornam-se atrativos na realização da SRC em FPGAs e ASICs, sobretudo quando estão envolvidas frequências elevadas. No bloco interpolador o filtro CIC é

empregue na última fase de interpolação, depois do(s) FIR. Para a decimação, numa primeira fase é empregue o CIC e só depois a cadeia de filtros FIR [30] [27].

Após a conversão da frequência de amostragem, o sinal segue para o misturador que produz uma translação do seu espectro para uma frequência mais elevada, dependente da frequência do oscilador local, implementado num *Numerically Controlled Oscillator* (NCO).

3.2.2 Digital Down-Conversion

Nos recetores dos tipos representados nas figuras 3.4(b) e 3.4(c), o bloco *Digital Down-Conversion* (DDC) trata da conversão das amostras à frequência IF ou RF para banda base. O sinal que contém informação, ou canal de interesse, é apenas uma fração da gama de frequências amostrada pela ADC. O DDC permite recuperar o canal de interesse e diminuir a taxa de amostragem, sem violar o critério de Nyquist de tal modo que a frequência de amostragem pode ser reduzida tornando os filtros e o processamento de sinal mais próximo do realizável. No DDC da figura 3.6, são usados filtros decimadores passa-baixo, misturador digital e oscilador local digital.

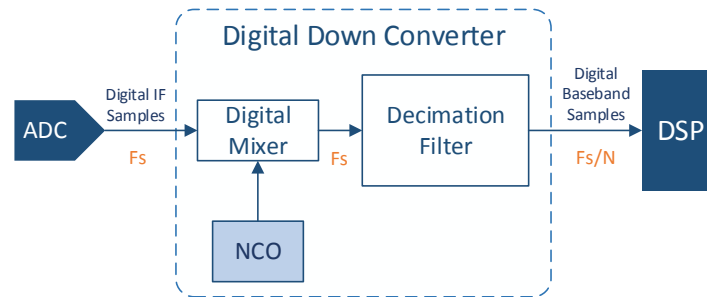


Figura 3.6: Diagrama de blocos da DDC, adaptado de [29].

Numa primeira fase, o sinal de entrada é aplicado no misturador digital, controlado por um NCO. O misturador produz um desvio nas frequências centrais. Assim, caso a frequência do oscilador local iguale a frequência central do sinal recebido, o resultado desta fase é um sinal com o espectro centrado em 0Hz. De seguida, são aplicados filtros semelhantes aos já mencionados para DUC mas que reduzem a frequência de amostragem do sinal. Aqui, o filtro decimador limita a largura de banda do sinal já em banda base e reduz a frequência de amostragem por um fator de N.

3.2.3 Crest Factor Reduction

O sistemas LTE usam, para a ligação de *downlink*, a modulação *Orthogonal Frequency Division Modulation* (OFDM) enquanto que os sistemas 3G usam a técnica de acesso *Code Division Multiple Access* (CDMA). Ambas as tecnologias, são caracterizadas por um elevado *Peak-to-Average Power Ratio* (PAPR) das *waveforms*, contribuindo para a ocorrência de distorção quando sujeitas a um elemento não linear, como é o caso do PA. Uma redução do PAPR reflete-se num PA a operar em níveis lineares de potência de entrada/saída, reduzindo a distorção e melhorando ainda a eficiência do dispositivo.

Uma técnica de *Crest Factor Reduction* (CFR), conhecida por *windowing*, consiste no *clipping* ou atenuação dos picos que excedem um determinado *threshold*, concentrando a energia do sinal dentro de certos limites. É, posteriormente, necessária a filtragem de modo

a remover as componentes de alta frequência originadas pelo processo de *clipping*. Com a inclusão do CFR, é possível operar num ponto mais próximo do ponto de compressão (P_{1dB}) do amplificador, como se pode visualizar nos gráficos da figura 3.8.

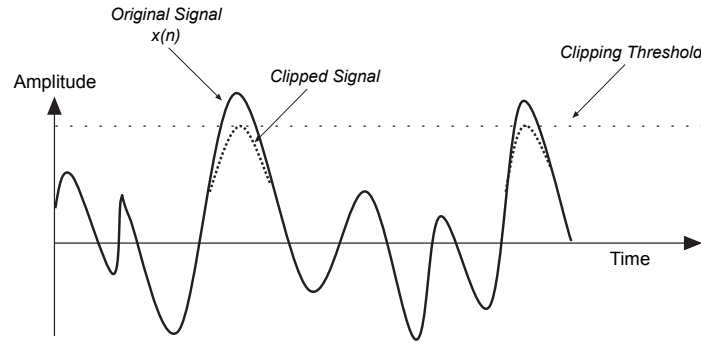
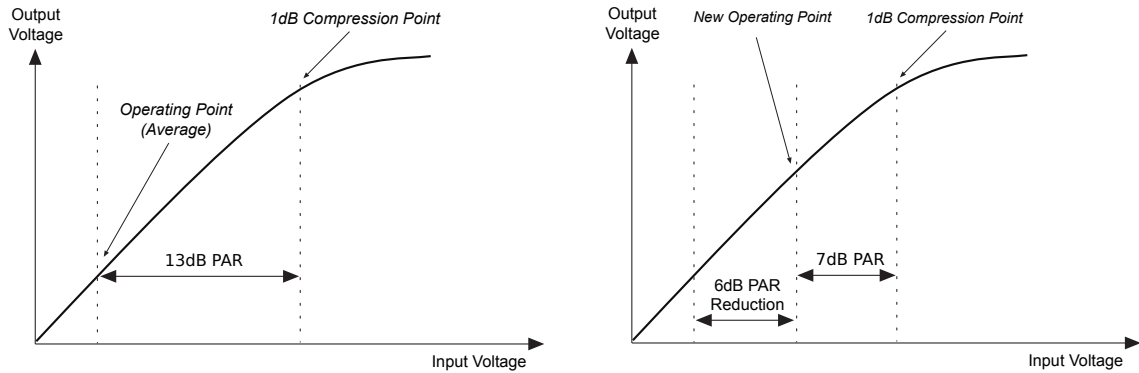


Figura 3.7: Aplicação da técnica de *clipping* pelo CFR, retirado de [31].



(a) Curva característica de transferência do PA antes da aplicação do CFR. (b) Curva característica de transferência do PA após a aplicação do CFR.

Figura 3.8: Efeito da introdução do módulo CFR na curva característica de transferência do PA, retirado de [31].

Dado que esta técnica introduz deliberadamente ruído no sinais, é necessário ter em conta os requisitos de *Error Vector Magnitude* (EVM) indicados pelos *standards* rádio. As *waveforms* de sinais multi-portadora, como no LTE, podem ter um PAPR de 12dB porém, com a introdução do CFR, consegue-se reduções de 4 a 6dB, com uma degradação do EVM aceitável.

Para um melhor desempenho, o bloco CFR deve aplicar técnicas de interpolação de modo a ter em conta os picos que surgem à frequência de RF [32], [33]. São ainda consideradas outras técnicas como o *Adaptive Baseband*, onde o CFR é aplicado separadamente a cada subportadora antes da *up conversion*, ou o *IF clipping and filtering*, sendo que esta última produz pior *Adjacent Channel Leakage Ratio* (ACLR) [31].

O algoritmo CFR é muitas vezes implementado em conjunto com o bloco *Digital Pre-Distortion* (DPD), conseguindo-se assim maximizar as melhorias introduzidas no sinal de saída, para melhor aproveitamento do PA.

3.2.4 Digital Pre-Distortion

Os PAs, para RF, alcançam a máxima eficiência em termos de potência quando operam próximo da região de saturação (pontos de compressão P_{1dB} e P_{3dB}). Devido ao seu processo de fabrico, apresentam características não lineares próximo desses pontos de saturação. Este comportamento dá origem a novas componentes espectrais, ou, por outras palavras, introduzem distorção no sinal (*in band*) e nos canais vizinhos (*out band*), degradando os níveis de ACLR. Para mitigar estes efeitos, são desenvolvidas técnicas de linearização do PA como *RF feed-forward*, *RF feedback*, *RF/IF pre-distortion* ou *post-distortion*. Entre estas, a DPD adaptativa tem sido a que melhor eficiência apresenta, quando comparada com os métodos de linearização analógicos, para além de ser configurável por *software* e de levar à redução do *hardware* necessário.

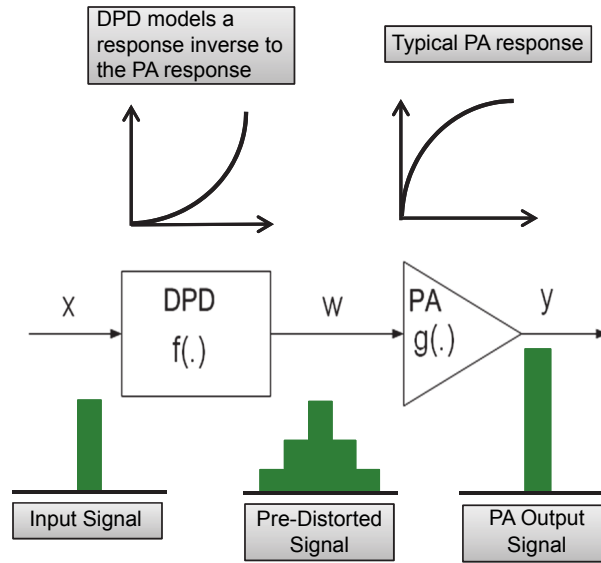


Figura 3.9: Modelo de pré-distorção através de DPD, retirado de [32].

O funcionamento do DPD baseia-se na modelação de um sistema, inverso ao do PA, de tal modo a que o sistema em cascata, formado pelos dois blocos, seja caracterizado por uma resposta aproximadamente linear (figura 3.9). O modelo não linear dos amplificadores deve-se ao efeito de memória (distorção introduzida depende das características de sinais anteriores) que varia com o tempo, logo, requer correção em tempo real com um algoritmo de DPD adaptativo. Com um canal de *feedback* através da ADC, entre o PA e a FPGA, é possível estabelecer essa adaptação por monitoração da resposta do amplificador [32], [33]. Deste modo, a técnica de pré-distorção, permite melhorar os indicadores de ACLR, como se pode verificar na figura 3.10.

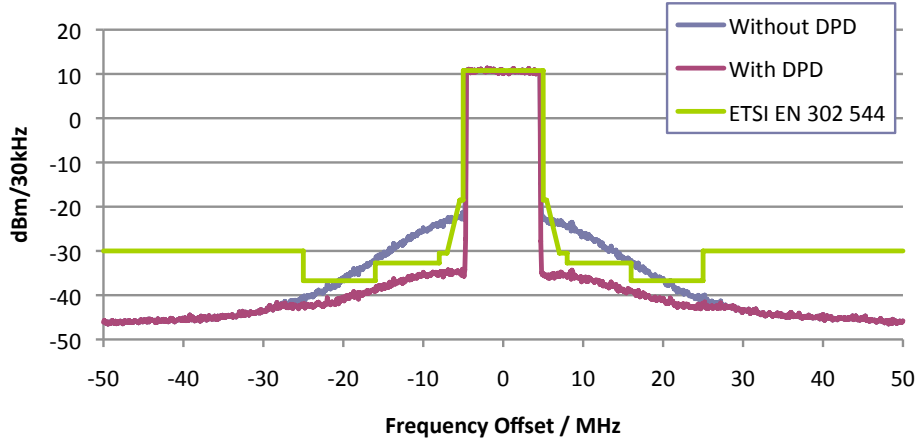


Figura 3.10: Exemplo do resultado da aplicação de DPD para sinal WiMAX de 10MHz, (*Orthogonal Frequency Division Multiple Access* (OFDMA)), retirado de [33].

3.3 Analog Front End

Até agora, foram referidos os blocos de processamento digital de sinal que constituem o DFE. Para concluir a apresentação dos componentes da RRH, são agora descritos os principais componentes do AFE, responsáveis pelo tratamento analógico do sinal.

3.3.1 Conversor Analógico-Digital

Os dispositivos de conversão analógica-digital e digital-analógica desempenham, num sistema SDR, a passagem de sinal entre diferentes domínios. Assim, o seu projeto tem impacto nas características do sistema logo, na sua escolha, deve ser tida em consideração a aplicação final. A ADC pode ser decomposta por um circuito *sample and hold* e pelo quantizador. O primeiro amostra, a um ritmo de $f_S = 1/T_S$, o sinal contínuo $x(t)$, obtendo-se $x_S(t)$, dado pela equação 3.1. O sinal $p(s)$ representa um trem de impulsos com período T_s .

$$x_S(t) \equiv x(t)p(t) = \sum_{n=-\infty}^{+\infty} x(t) \cdot \delta(t - nT_S) \quad (3.1)$$

Pelo método da transformada de Fourier, obtém-se o equivalente da equação anterior no domínio das frequências, cuja expressão se encontra na equação 3.2.

$$X_S(f) = f_S \sum_{k=-\infty}^{+\infty} X(f - kf_S) \quad (3.2)$$

Esta última equação indica que, no domínio da frequência, o sinal amostrado vai ser constituído por réplicas espaçadas de f_S . De modo a que essas réplicas não se sobreponham no espectro ou, por outras palavras, para que não haja degradação do sinal, é imposto que a frequência de amostragem seja igual ou superior a duas vezes a frequência máxima do sinal original. Esta regra é referida como o Teorema de Nyquist. Ainda sobre as réplicas mencionadas, estas estão localizadas em zonas vizinhas do espectro, denominadas de zonas de Nyquist. O conteúdo espectral de cada uma delas assume a versão espelhada do conteúdo

da zona adjacente, como mostra a figura 3.11. Caso não seja cumprido o Teorema de Nyquist, surge o fenómeno de *aliasing*, caracterizado pelo aparecimento de outras frequências no sinal digitalizado.

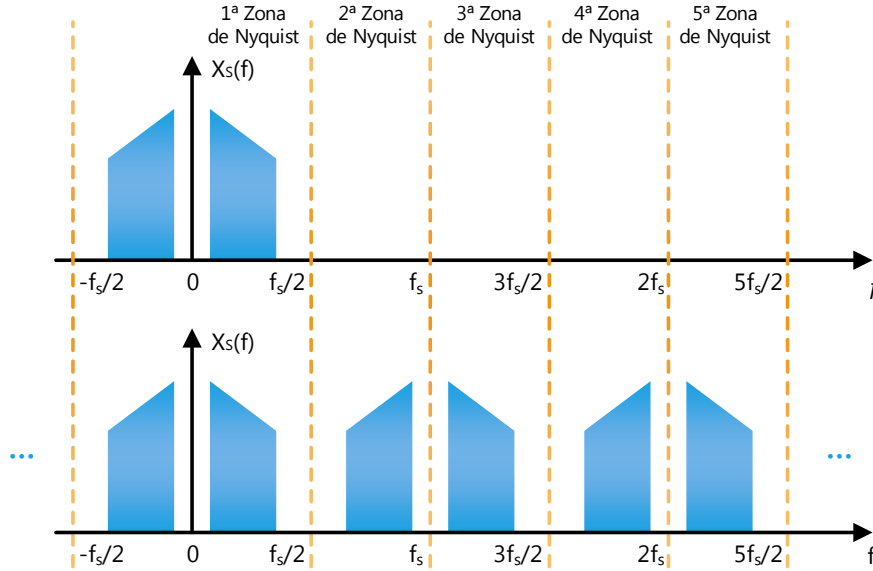


Figura 3.11: Representação espectral do processo de digitalização de sinal banda base.

De seguida, o bloco quantizador aproxima a medição por aproximação a um conjunto pré-definido de valores discretos. Dependendo do número de bits do sinal de saída, N , obtêm-se a *Signal-to-Noise Ratio* (SNR) originada pelo processo de quantização, cujo valor se obtém pela equação 3.3.

$$SNR_{dB} = 20 \cdot \log \left(\frac{Q \cdot 2^N / 2 \cdot \sqrt{2}}{Q / \sqrt{12}} \right) \approx 6.02 \cdot N + 1.76 \quad (3.3)$$

Onde Q equivale a $V_{REF}/2^N$.

Para os sistemas que envolvem elevada taxa de amostragem, superior a 1 *Mega-Samples Per Second* (MSPS), são usadas ADCs do tipo *flash* ou *pipelined*. As primeiras são as mais populares para conversão de alta velocidade com resolução até 8 bits. A tecnologia baseia-se em 2^{N-1} comparadores cujas tensões de referência são geradas a partir de um divisor de resistências de igual valor R . Devido a esta composição simples, conseguem-se obter elevadas taxas de amostragem até aos poucos *Giga-Samples Per Second* (GSPS) porém, o consumo energético aumenta exponencialmente com o N requerido.

As ADC do tipo *pipelined* são as mais comuns em aplicações que requerem taxas e amostragem até algumas centenas de MSPS tais como recetores digitais, *base stations*, vídeo de alta definição e captação de imagem digital. Comparando com a tecnologia *flash*, permitem a redução do consumo energético sendo assim indicadas para aplicações sistemas de comunicação de banda larga e plataformas SDR.

3.3.2 Amplificação

A fase da amplificação constituiu uma das mais importantes do AFE, pois determina as características de qualidade do emissor ou do recetor. Devido aos requisitos de elevada velocidade e capacidade, o consumo de energia é cada vez mais determinante no saldo global das *base stations*. Assim, o desenvolvimento de dispositivos mais eficientes tem enorme impacto a nível de OPEX para os operadores. Outra característica importante, é a linearidade do amplificador pois é um fator que influencia a qualidade do sinal de saída. Os algoritmos de CFR e de DPD, descritos no tópico 3.2, pretendem melhorar estes aspetos. No transmissor (TX), é usado um PA, desenhado para as frequências previstas nos *standards* de acesso, projetado para fornecer um determinado nível de potência da saída, com uma eficiência mínima. A título de exemplo, a tecnologia de transístores GaN HEMT é caracterizada por baixo consumo de energia e melhor eficiência que os dispositivos de silício. O amplificador Doherty é usado na fase final de amplificação disponibilizando uma diminuição considerável de energia mesmo em sistemas cujas *waveforms* possuem elevadas diferenças entre o nível de potência médio e o nível de pico (PAPR) [34].

No caso da receção (RX), o LNA tem o intuito de amplificar um sinal de baixa potência recebida na antena, mitigando a introdução de ruído (baixo fator de ruído).

3.3.3 RF Duplexer

O RF *duplexer* é o último componente antes da antena no sentido de *downlink* ou o primeiro no sentido de *uplink* e tem a função de separar os sinais destes dois fluxos de informação. Num esquema FDD, diferentes frequências são usadas para *downlink* e *uplink*, como se pode verificar na tabela. O *duplexer* permite que, com a mesma antena, sejam transmitidos e recebidos canais de frequências disjuntos, sendo necessário respeitar o espaçamento de *duplex*. Para tal, são usados filtros passa-banda com boas características ao nível de isolamento entre os canais TX e RX. Na tabela 3.1, é feita a referência a algumas bandas consideradas na especificação do LTE e sistemas 3G.

Nº da Banda (E-UTRA)	Nº da Banda (UTRA)	Banda (MHz)	<i>Uplink</i> (MHz)	<i>Downlink</i> (MHz)	<i>Duplex spacing</i> (MHz)	<i>Band gap</i> (MHz)
1	I	2100	1,920 - 1,980	2,110 - 2,170	190	130
3	III	1800	1,710 - 1,785	1,805 - 1,880	95	20
7	VII	2600	2,500 - 2,570	2,620 - 2,690	120	50
8	VIII	900	880 - 915	925 - 960	45	10
20	XX	800	832 - 862	791 - 821	-41	71

Tabela 3.1: Exemplos de bandas de frequências para, sistemas 3G e 4G com *duplex* por FDD, adaptado de [35].

3.3.4 Características Típicas

As características ao nível da potência de emissão das RRHs variam de acordo com o propósito da sua aplicação. Se se tratar de uma aplicação de interior, a potência máxima de saída é cerca de 250mW, ao passo que, para soluções de exterior, essa potência varia entre 2 a 100W [8]. As RRHs devem suportar os *standards* mais comuns como os das tecnologias 3G/4G e topologias *Multiple-Input Multiple-Output* (MIMO) 2x2 e 4x4. Para sumariar a descrição do AFE das RRH, são apresentadas, nas tabelas 3.2a e 3.2b, algumas características de sistemas comerciais.

Parâmetro	Especificação
Banda de transmissão	2130 2150 MHz
Banda de receção	1940 1960 MHz
Potência de transmissão	20W x 2
Interface	CPRI (1.2288/2.4576 Gb/s)
Tensão de Entrada	-40.5 V a -57 V
Consumo Energético	185 W
Volume	19.4 L
Peso	17.7 Kg
Configuração da Antena	2xTX 2xRX
Esquemas de modulação suportados	QPSK, 16-QAM, 64-QAM

(a) Especificações técnicas de uma RRH comercial para sistemas LTE e W-CDMA, da Fujitsu, retirado de [34].

Parâmetro	Especificação
Banda de funcionamento	850 MHz
Capacidade	Até 4 portadoras WCDMA ou LTE (1.4 a 20 MHz)
Potência de transmissão	2 x 40W
Interface	2x CPRI/OBSAI com Ethernet
Volume	24.66 L
Peso	15 Kg
Configuração da Antena	2xTX 2xRX, 2-way MIMO, <i>Antenna Sharing</i>
EVM	2.5% a 8% @ 64QAM

(b) Especificações técnicas de uma RRH comercial para sistemas LTE e W-CDMA, da MTI-Mobile, retirado de [36].

Tabela 3.2: Especificações técnicas de RRHs comerciais para sistemas LTE e W-CDMA

3.4 Medidas de Qualidade

Nesta última secção, são explicados alguns parâmetros de avaliação do funcionamento das RRHs. De modo a serem aprovadas pelas entidades reguladoras, as RRH devem cumprir certos indicadores especificados pelas tecnologias de acesso rádio.

3.4.1 Error Vector Magnitude

O EVM representa uma figura de mérito que caracteriza a qualidade da modulação digital como o *Quadrature Phase Shift Keying* (QPSK) ou *M-ary Quadrature Amplitude Modulation* (M-QAM). Aqui são tidos em conta os desvios de amplitude e fase tal como o ruído introduzido pelos elementos do sistema. Como se pode verificar na figura 3.12, a medição é feita comparando, no plano I/Q, os símbolos recebidos com os ideais (como os presentes nas constelações da figura A.4).

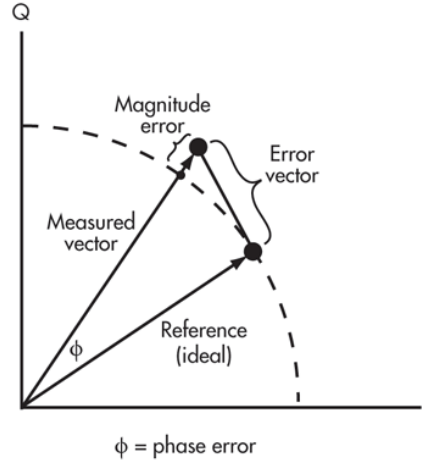


Figura 3.12: Método de medição do vetor de erro para o EVM, retirado de [37].

O EVM dá uma medida acerca desses desvios, sendo calculado como o rácio entre a potência do vetor de erro, P_{err} , e a potência do vetor de referência, P_{ref} . É tipicamente expresso em dB mas também percentagem, como indica a equação 3.4.

$$EVM = \sqrt{\frac{P_{error}}{P_{ref}}} \times 100 \text{ [\% rms]} \quad (3.4)$$

Os valores máximos de EVM para o canal *Physical Downlink Shared Channel* (PDSCH) dependem da técnica de modulação aplicada e encontram-se na tabela 3.3.

Modulação	EVM Máximo (%)
QPSK	17.5
16-QAM	12.5
64-QAM	8

Tabela 3.3: Valores de EVM máximo para o canal PDSCH para diferentes modulações, retirado de [35].

3.4.2 Adjacent Channel Leakage Ratio

Outra medida de qualidade é o ACLR que, tal como o *Adjacent Channel Power Ratio* (ACPR), representa a distorção fora da banda provocada, em particular, pelas não

linearidades do PA do transmissor. O ACPR é usado para descrever o nível de potência de uma canal adjacente sem assumir qualquer filtro, relativo a um dado sistema de comunicação, na receção. O ACLR é mais recente e tem em conta o filtro na receção para obtenção do canal de interesse [38]. O espectro do sinal de saída contém, para além de sinal com uma determinada banda centrada na frequência de transmissão, componentes nas gamas vizinhas com magnitude não desprezável. Assim, o ACLR representa o rácio entre a potência média no canal desejado e a potência média do canal centrado na frequência adjacente, ambas em dBm . Este indicador é expresso em valores de atenuação (dBc) e é válido tanto para situações de portadora única como de multi-portadora. A equação 3.5 mostra o método de cálculo deste indicador e a figura 3.13 exemplifica a sua medição.

$$ACLR(ACPR) = 10 \cdot \log_{10} \left(\frac{P_{canal\ adjacente}}{P_{canal\ principal}} \right) [dBc] \quad (3.5)$$

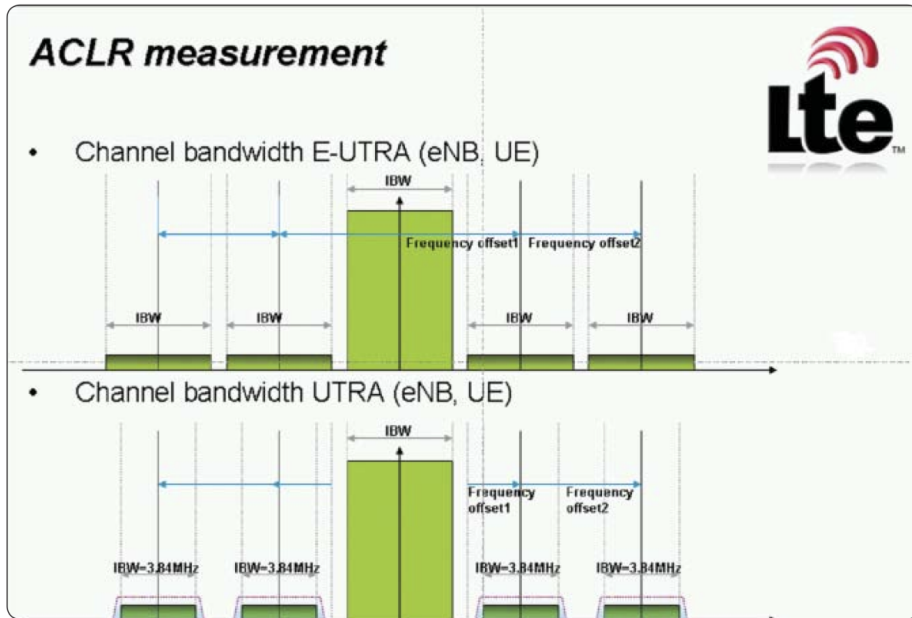


Figura 3.13: Método de medição do ACLR, retirado de [39].

De modo a não provocar a destruição de sinais em canais vizinhos, são impostas limitações mínimas de ACLR pelos *standards* assim como pelas entidades reguladoras do setor das telecomunicações [35]. Como já foi referido, as técnicas de pré-distorção digital são implementadas com vista a melhorar este indicador.

Este capítulo encerra a parte deste documento dedicada aos conceitos introdutórios. Após mencionada a arquitetura típica (componente digital e analógica) de uma RRH, no próximo capítulo será apresentada a arquitetura do demonstrador para C-RAN que constitui o propósito desta Dissertação.

Capítulo 4

Arquitetura do Sistema

O âmbito deste trabalho é o de apresentar o processo de desenvolvimento de um demonstrador para a arquitetura C-RAN. Pretende-se implementar um certo conjunto de especificações tais como:

- Exploração do protocolo CPRI ao nível da camada L2;
- Presença de um módulo com funções de REC;
- Presença de um módulo com funções de RE/RRH;
- Inclusão de ligação ótica entre os módulos através de *transceivers* SFP/SFP+;
- Módulo RE/RRH com interface RF;
- Integração de cenários de teste para avaliação de desempenho.

A figura 4.1 apresenta uma visão global da constituição do demonstrador. A principal funcionalidade em teste é a transferência de dados de utilizador sob forma de *waveforms* moduladas, entre dois sistemas distintos com interface CPRI/ótica entre si. É ainda testada a capacidade de C&M remoto do RE/RRH a partir do REC.

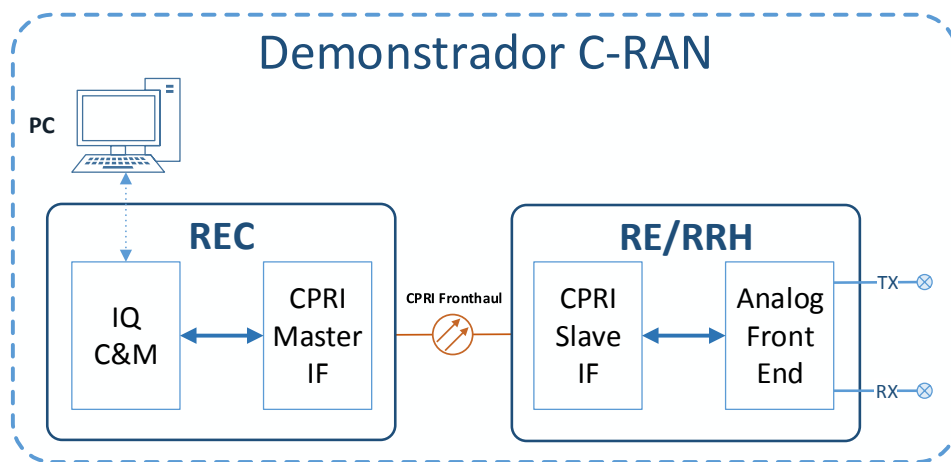


Figura 4.1: Diagrama de blocos do demonstrador para C-RAN.

O demonstrador tem o propósito de reproduzir, a uma escala reduzida, o cenário típico de uma arquitetura C-RAN. São, de seguida apresentadas as estratégias de desenvolvimento dos dois módulos principais que constituem o demonstrador, baseados em dispositivos FPGA. A escolha por esta plataforma reside na possibilidade conceber um sistema SDR, para além de que é a plataforma recomendada para a implementação de interfaces ao nível da L1 e L2, como é o caso do CPRI.

4.1 Arquitetura do REC

O primeiro módulo do demonstrador deve conter as funções de REC do CPRI. De entre elas, destacam-se a presença de uma porta *master* CPRI, possibilidade de C&M dos REs. Para tal, são desenvolvidos, sobre a lógica da FPGA um conjunto de blocos representados na figura 4.2.

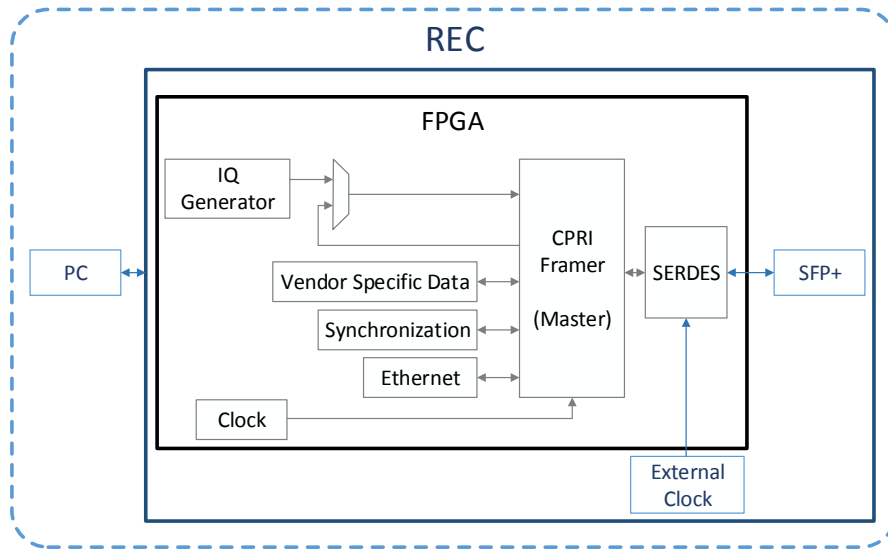


Figura 4.2: Diagrama de blocos proposto para o REC do demonstrador para C-RAN.

O bloco **CPRI Framer** é responsável pela geração/recuperação de tramas CPRI. Aqui devem ser aplicadas as regras da especificação da interface cujas principais características foram referidas na secção 2.3.1, nomeadamente, a disponibilização das interfaces ao nível dos diferentes SAPs do CPRI (I/Q, Sincronização e C&M). Neste módulo, deve ser implementada uma porta *master* da interface CPRI.

O bloco **serdes** disponibiliza a interface série ao bloco **CPRI Framer**, usando para tal lógica dedicada da FPGA, conhecida como *Multi-Gigabit Transceiver* (MGT). Este componente permitirá a comunicação com o módulo ótico SFP/SFP+. Contudo, este componente irá requerer que se use uma referência de relógio externa de baixo *jitter*, representada pelo bloco **External Clock**.

Uma vez que na FPGA estão presentes diferentes blocos lógicos, é comum haver necessidade de gerar diferentes domínios de relógio. Para isso, é inserido o bloco **Clock** com a função de fornecer os relógios para o funcionamento dos restantes blocos.

A ligação lógica de sincronização, ou *SAP_S*, é estabelecida com o bloco **Synchronization**. A função deste componente é, como foi descrito na secção 2.3.1, garantir a passagem dos

timings relativos à transmissão de *frames* entre o REC (*master*) e o RE (*slave*).

Quanto ao SAP_{IQ} , este é implementado através de dois blocos. Por um lado, o bloco **IQ Generator** tem a função de armazenar e gerar amostras de sinal banda base de modo a injetá-las na interface I/Q do CPRI. Em alternativa, pode-se optar por injetar as amostras devolvidas pelo bloco **CPRI Framer**, estabelecendo um caminho de *loopback* para eventuais cenários de teste com o demonstrador. Essas amostras serão adquiridas via comunicação com um PC onde são aí geradas. Por outro lado, o bloco **Vendor Specific Data** utiliza os recursos do CPRI para transmissão de dados específicos do fabricante do equipamento.

Para a transmissão do plano de controlo ($SAP_{C\&M}$), é usada a interface de *fast C&M* do bloco **CPRI Framer**, com a inclusão do componente **Ethernet**. Através desta interface, é possível, através do REC enviar para o RE/RRH um conjunto de controlos contidos em tramas Ethernet. Esses controlos incluem a atualização da *line rate*, pois é a única via de ambos os módulos operarem à mesma velocidade, sem perda da ligação. São ainda considerados os comandos para a escolha da largura de banda do fluxo I/Q, entre outros que permitem obter informações de estado. Adicionalmente, é considerada a comunicação com o PC, para carregamento das amostras I/Q, monitoração de indicadores e controlo do *link* CPRI.

4.2 Arquitetura do RE/RRH

De forma análoga ao módulo anterior, na figura 4.3 é esquematizada a arquitetura interna do RE/RRH.

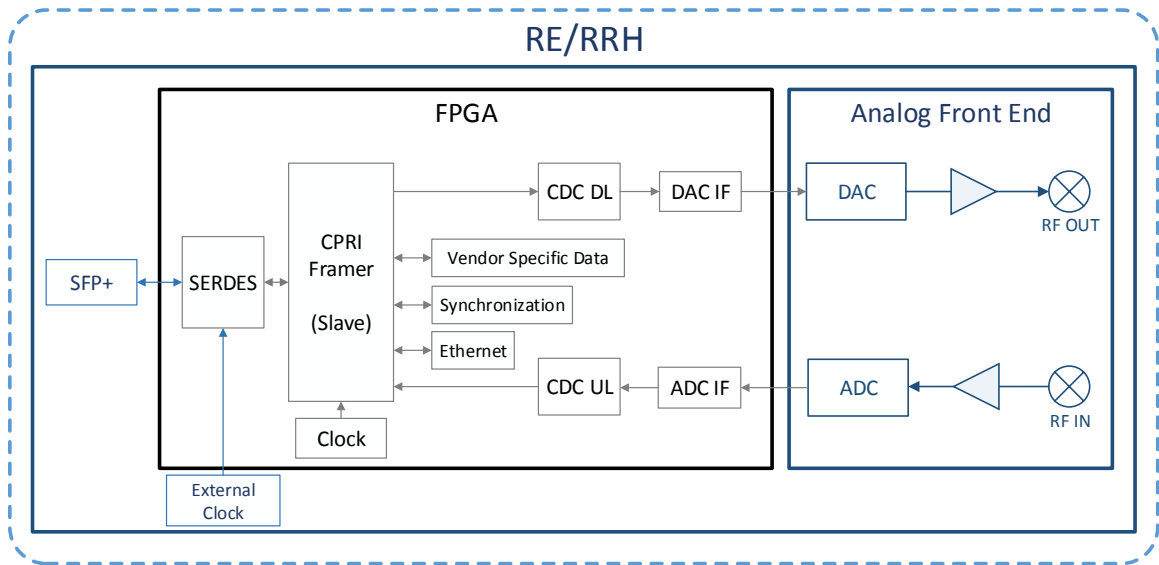


Figura 4.3: Diagrama de blocos proposto para o RE/RRH do demonstrador para C-RAN.

Este módulo define-se como RE, do ponto de vista do CPRI, e RRH, do ponto de vista do C-RAN. Este, é composto pelos blocos **CPRI Framer**, **SERDES**, **Clock**, **External Clock**, **Synchronization**, **Vendor Specific Data** e **Ethernet** com funcionalidades semelhantes às já mencionadas para o REC, com a exceção de agora se considerar uma interface CPRI do tipo *slave*.

A cadeia de *downlink* presente neste módulo encaminha o fluxo I/Q recebido pela interface

I/Q do CPRI **Framer** para o bloco que implementa a interface com a DAC. Porém, é necessário incluir, antes do componente DAC IF, o bloco CDC DL para a conversão entre domínios de relógio distintos. Nesta fase, deve ser garantido que não são perdidas amostras I/Q. De forma análoga, a cadeia de *uplink* envolve os blocos ADC IF e CDC UP para efetuar o encaminhamento dos dados I/Q provenientes da ADC, para a interface de transmissão do CPRI.

Para finalizar a descrição da arquitetura deste módulo, resta ainda mencionar a inclusão um *front end* analógico para a conversão do sinal digital em RF e vice-versa, seguindo a técnica de digitalização em banda base. Este *front end* contém a DAC, modulador I/Q e amplificador do sinal para ser posteriormente transmitido para o meio livre. No caminho de receção de sinal, está presente a amplificação de sinal fraco, a desmodulação do sinal RF nas componentes em fase e em quadratura e ainda o módulo ADC para a conversão desses sinais para o domínio digital. Este *front end*, deve ainda incluir a possibilidade de configuração por *software* de alguns parâmetros relacionados com o modo de operação, como as frequências de amostragem e frequências da portadora em RF.

4.3 Cenários de Teste

A realização do *fronthaul*, consiste na ligação CPRI entre os módulos acabados de mencionar. Deverão ser várias validadas as *line rates* CPRI, como por exemplo, as opções 3 (2457.6 Mbit/s) e 5 (4915.2 Mbit/s). Espera-se ainda, realizar a transferência de sinal banda base com as larguras de banda típicas do E-UTRA, presentes na tabela 2.3.

Para se ter uma noção acerca do desempenho do demonstrador, certas medições deverão ser consideradas. Em primeiro lugar, é importante verificar o espectro de sinais de banda estreita à saída no RE/RRH. Aqui, poderão ser medidas as potências da banda central assim como dos canais adjacentes.

Outra medição de interesse, é a precisão da modulação I/Q feita no *front end* analógico. Com recurso a um *Vector Signal Analyzer* (VSA), é possível realizar a desmodulação do sinal RF ao recuperar os símbolos de diferentes esquemas de modulação (QPSK e M-QAM). Como foi referido na secção 3.4, o EVM é um indicador que permite concluir acerca da qualidade da modulação.

Por fim, espera-se determinar a latência do demonstrador imposta aos dados de utilizador (amostras I/Q), nomeadamente, da componente digital, sem negligenciar o *link* de fibra ótica. Este valor deverá ser decomposto em tempos parciais para determinar o peso dos diferentes blocos, como é o caso do CPRI.

Este capítulo procurou apresentar a arquitetura do demonstrador que permitirá conceber um sistema C-RAN em ambiente laboratorial. Os detalhes relativos à sua implementação assim com as ferramentas e *hardware* utilizado encontram-se nos próximos capítulos.

Capítulo 5

Implementação do *Fronthaul*

Neste capítulo, é feita a descrição do processo de desenvolvimento do *fronthaul* do demonstrador em plataformas comerciais seguindo a arquitetura delineada no capítulo anterior. A interface dos módulos REC e RE/RRH com o *fronthaul* é feita através do protocolo CPRI. Como já foi referido, este protocolo é o *standard* que está a ser adotado pelos fabricantes de equipamentos para *base stations* e é compatível com os sistemas C-RAN.

Para a implementação da interface CPRI, foi explorado o *Reference Design CPRI Multi-Hop* da Xilinx (XAPP1132) [40]. O diagrama de blocos deste projeto está presente na figura 5.1.

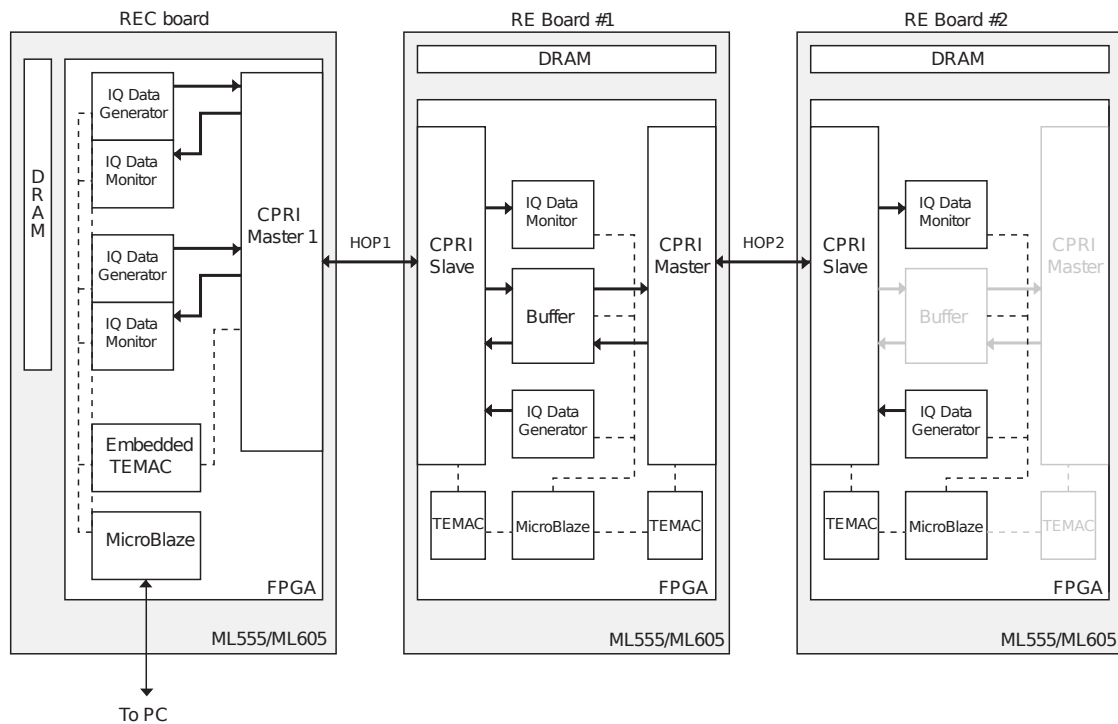


Figura 5.1: Esquema do *Reference Design CPRI Multi-Hop* da Xilinx, retirado de [40].

Aqui, é testada a conectividade entre três placas de desenvolvimento com FPGA da Xilinx (Virtex-5 no caso da ML555 e Virtex-6 no caso da ML605) assim como a topologia *chain*

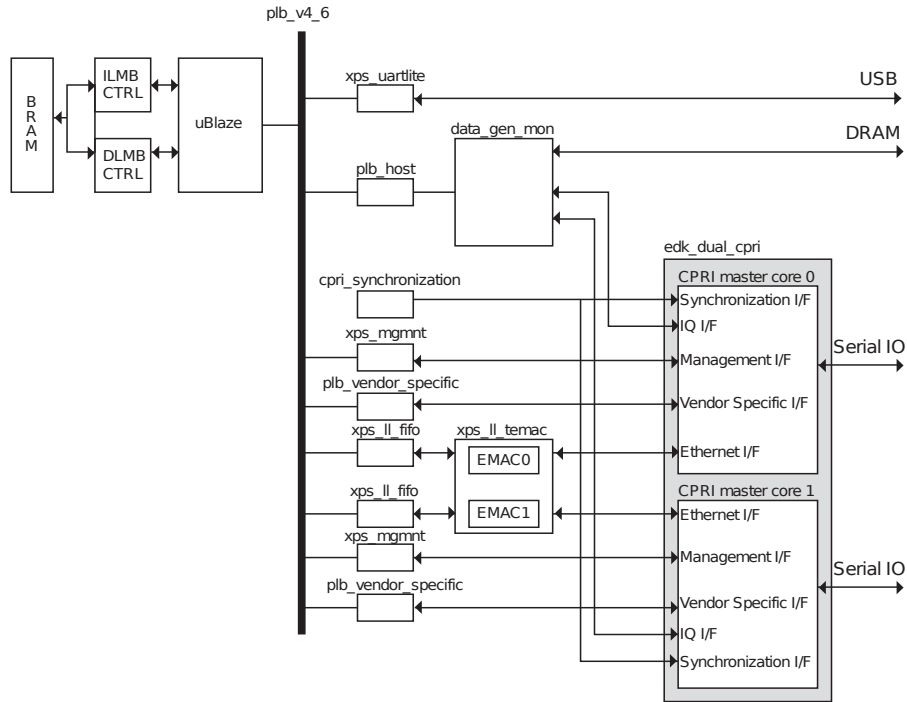
do CPRI (um REC e dois REs). Este *Reference Design* é baseado em sistemas *embedded*, logo, agrega tanto a componente de *hardware*, como também a aplicação do *soft-processor* MicroBlaze. As funcionalidades que se podem explorar são o envio e receção de amostras I/Q, amostras *Vendor Specific*, cálculo de atrasos, contagem de erros de transmissão e controlo das placas remotas a partir do REC (através de uma *Graphical User Interface* (GUI) fornecida).

Face ao exposto, a implementação do demonstrador será feita sobre plataformas e ferramentas de desenvolvimento da Xilinx, respetivamente, o *kit* ML605 e o ISE *Design Suite: Embedded Edition* v14.7. A placa ML605 (apêndice C.1) vem com uma FPGA da família Virtex-6 da Xilinx e contém ainda outras características úteis para os módulos do demonstrador, tais como a inclusão de uma *cage* para o *transceiver* SFP/SFP+ e conectores *FPGA Mezzanine Card* (FMC) para ligar placas de expansão. As ferramentas de desenvolvimento XPS/SDK permitem desenvolver um sistema *embedded*, como descreve o apêndice B.2. Adicionalmente, fez-se uso do *transceiver* ótico SFP+ Finisar FTLX8571D3BCV [41], e de dois cabos óticos com conector LC Simplex [42], para estabelecer a ligação. A secção seguinte tem como objetivo apresentar o processo de atualização do *Reference Design* de modo a ser compatível com as mais recentes ferramentas de desenvolvimento (v14.7). Posteriormente, serão identificados os componentes que irão integrar a base do *fronthaul* do demonstrador para C-RAN.

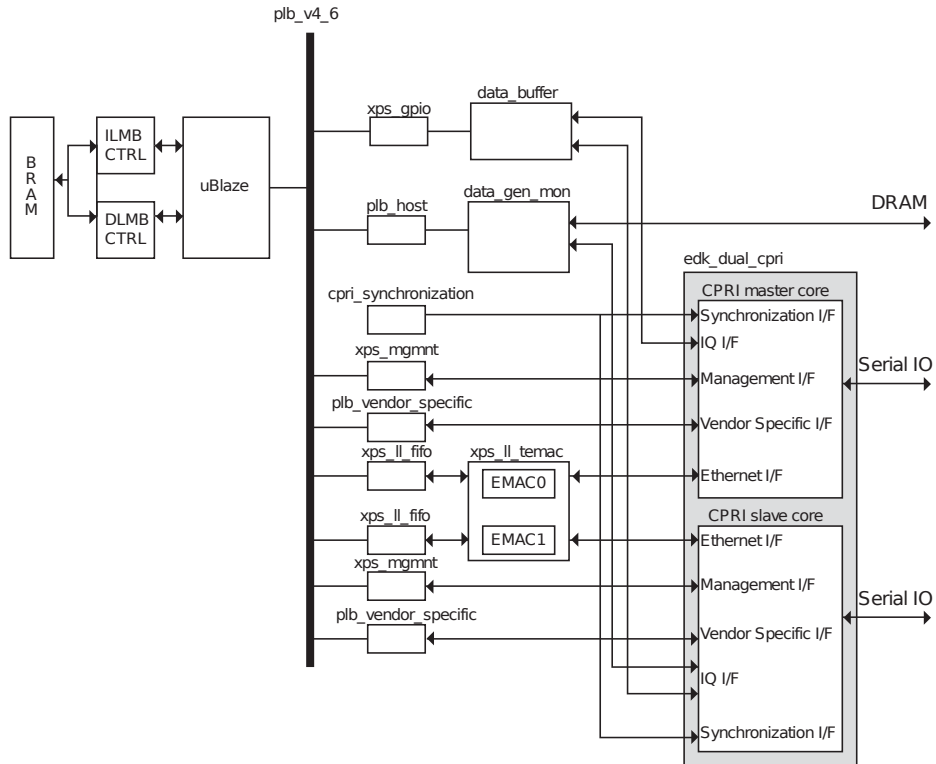
5.1 Atualização do *Reference Design CPRI Multi-Hop*

Como mostra a figura 5.1, o *Reference Design* assenta num *setup* composto por três *kits* de desenvolvimento para teste da configuração *chain* do CPRI, de tal maneira que foram projetados sistemas distintos para o REC e para os dois REs cujos diagramas de blocos são indicados nas figuras 5.2(a) e 5.2(b), respetivamente.

Originalmente, os projetos foram desenvolvidos com a v12.2 das ferramentas da Xilinx. Nos projetos do XPS, são incluídas duas instâncias *master* para o REC e um *master* e um *slave* para o RE, tal como um conjunto de periféricos que asseguram as interfaces da L2 do CPRI. No teste do *Reference Design* em laboratório, foi apenas considerado o *link* entre um REC e um RE. Assim, foi possível confirmar as funcionalidades da XAPP1132, tanto com o aplicação gráfica fornecida como por observação das amostras obtidas na ferramenta de análise de sinais internos da FPGA, ChipScope Pro. Esta verificação inclui a validação da interface *Management*, com a configuração da *line rate* até 4915.2 Mbit/s, interface I/Q com multiplexagem de dois canais (um para consumo no primeiro RE, outro para reencaminhamento para o segundo RE), interface *Vendor Specific* e interface Ethernet para C&M remoto do RE a partir do REC. Uma vez que a validação contemplou apenas a ligação ponto-a-ponto entre um REC e um RE, a cadeia *multi-hop* indicada na figura 5.1 não foi verificada.



(a) Diagrama de blocos do sistema para o REC.



(b) Diagrama de blocos do sistema para o RE.

Figura 5.2: Diagramas de blocos dos sistemas EDK implementados na XAPP1132, retirado de [40].

Contudo, o barramento que liga os periféricos ao MicroBlaze é o *Peripheral Local Bus* (PLB) e já não é recomendado para os sistemas *embedded* visto ter sido substituído pela interface *Advanced eXtensible Interface* (AXI), desenvolvida pela ARM. Adicionalmente, para futura integração das funcionalidades deste projeto com os blocos que estabelecem a interface com *front end* analógico, que será apresentado no próximo capítulo, é necessário proceder ao *update* da XAPP1132 para que seja compatível com a interface AXI. A especificação AXI4 determina três tipos de interfaces:

- AXI4 - Interface do tipo *memory mapped* que permite *burst* até 256 ciclos de transferência de dados com uma única fase de endereçamento;
- AXI4-Lite - Versão leve da anterior, com consumo de recursos reduzido e que apenas permite transações simples. É usada para leitura/escrita de registos de estado e controlo;
- AXI4-Stream - Desenhada para *streaming* de dados de elevada velocidade pois dispensa a fase de endereçamento (não é considerada *memory mapped*) e permite *bursts* de dados de tamanho ilimitado [43].

Deste modo, foram desenvolvidos novos projetos para o REC e RE, com as ferramentas XPS/ISE 14.7 contendo um MicroBlaze com interface AXI4-Lite para interface com os periféricos. Os diagramas de blocos são apresentados nas figuras 5.3(a) e 5.3(b), respetivamente.

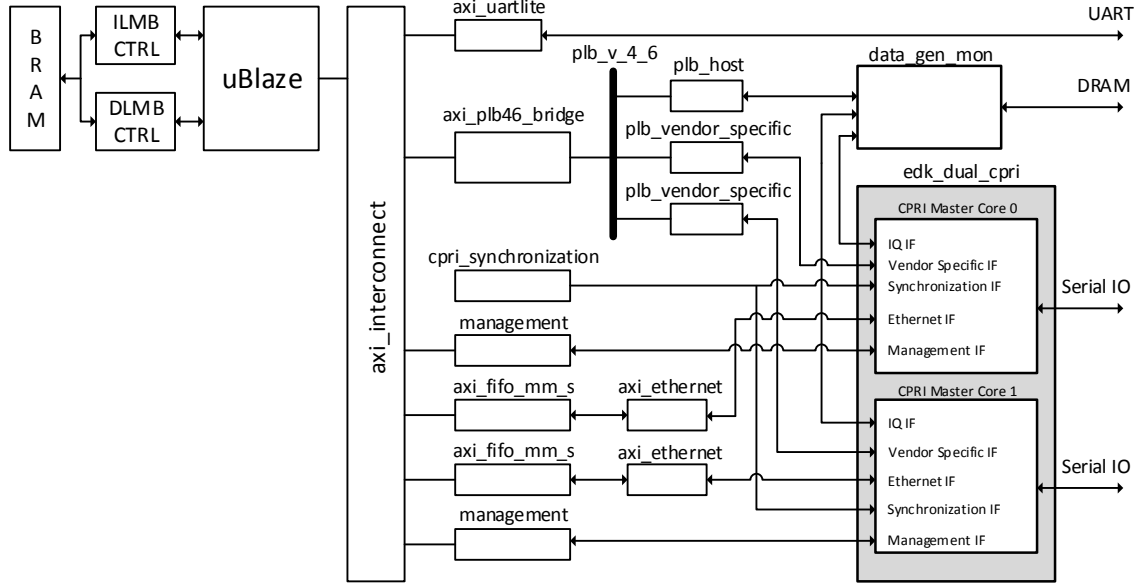
Nem todos os blocos de projeto original possuem ligação ao barramento partilhado pelo que, apenas os periféricos com interface PLB terão de ser convertidos para AXI4-Lite. Os *cores* que instanciam a *Universal Asynchronous Receiver Transmitter* (UART) e *General Purpose Input Output* (GPIO) possuem versão equivalente com interface AXI4-Lite, logo foram diretamente substituídos e configurados como os anteriores. O *pcore axi_uartlite* instancia uma interface UART que interage com o conversor UART/USB do *kit* ML605, para possibilitar a comunicação de ambos os módulos com o PC (apenas para *debug*, no caso do RE/RRH).

Para os restantes periféricos, diferentes estratégias foram tomadas. A interface de C&M Ethernet é agora efetuada com os *cores* que possuem interfaces AXI4-Lite e AXI4-Stream [44] [45]. Ao nível do código para o MicroBlaze, foi também necessário substituir os *drivers* destes componentes para as versões AXI.

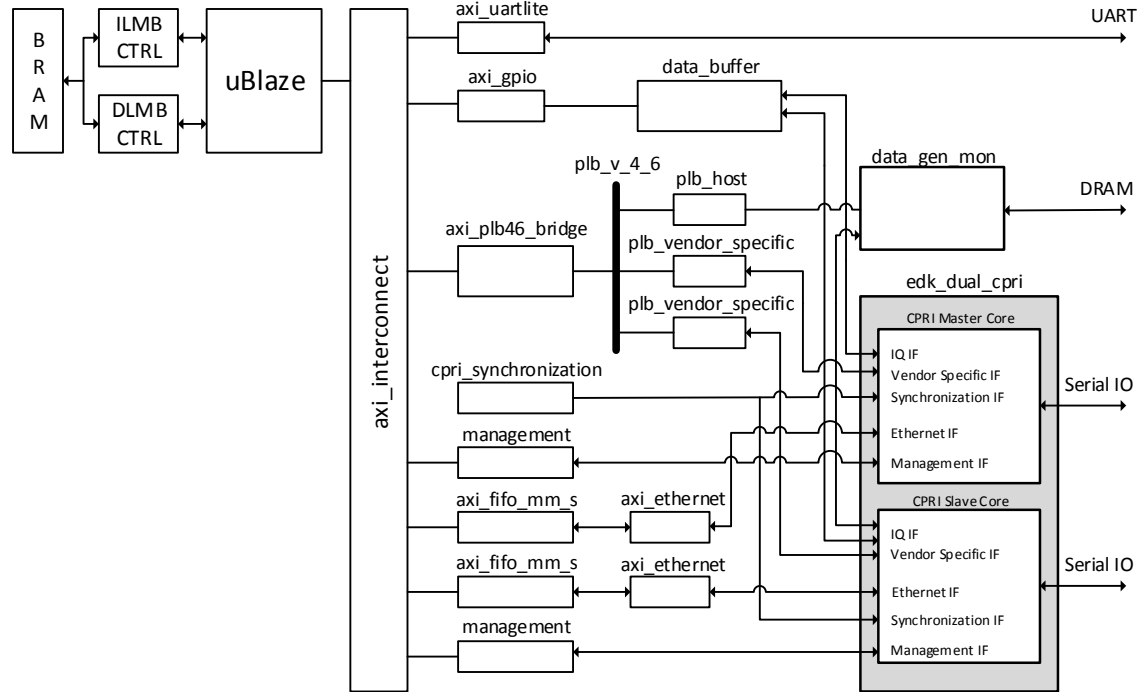
Os *cores* que implementam as interfaces *Management*, *Vendor Specific* (que gera e recolhe dois tipos de sequências) assim como o *plb_host* (que realiza a configuração do gerador/monitor de dados I/Q) são específicos desta aplicação. Por um lado, o primeiro periférico foi desenvolvido usando a ferramenta *Create/Import Peripheral Wizard* (CIP) do EDK, o que facilitou a alteração da interface para AXI. Por outro lado, os restantes *cores* não permitem esta conversão, deixando como única alternativa o uso de uma *bridge* que converte transações AXI4-Lite em PLB e vice-versa.

O objetivo da atualização descrita nos parágrafos anteriores é o de obter as mesmas funcionalidades do *Reference Design CPRI Multi-Hop* concebido num sistema com o barramento PLB, num outro com as interfaces AXI. Porém a versão 14.7 do XPS reporta um erro no processo de geração do *bitstream*, referenciado na *answer record* #39430 [46], referente a erros no GTX *Delay Aligner* dos dispositivos Virtex-6. O *delay aligner* permite realizar o *bypass* dos *buffers* de transmissão e receção. Os *cores* CPRI e OBSAI da Xilinx fazem uso deste mecanismo de modo a obter latência determinística através do *datapath*.

Contudo, já não existe suporte para o *delay aligner* do transmissor e o modelo do recetor sofre alterações [47]. A solução proposta na *answer record* #39992 remove os erros no processo de implementação porém não permite a ligação entre o REC e o RE [48]. Assim, foi necessário desativar os *Design Rules Check* (DRC) do tipo *logical* e *physical* do processo de compilação e geração do *bitstream*.



(a) Diagrama de blocos do sistema para o REC.



(b) Diagrama de blocos do sistema para o RE.

Figura 5.3: Diagramas de blocos dos sistemas EDK atualizados para a interface AXI.

Após a atualização dos sistemas que integram a XAPP1132, foi possível desenvolver os blocos para o REC e RE/RRH do demonstrador, cujos passos se encontram de seguida.

5.2 Implementação do *Fronthaul* do Demonstrador

As arquiteturas propostas nas figuras 4.2 e 4.3 para os módulos, respetivamente, REC e RE/RRH do demonstrador vão ser baseadas nos projetos anteriormente descritos para o REC e RE. Assim, é de seguida referido o processo de implementação dos blocos, começando pelo CPRI Framer.

5.2.1 Bloco CPRI Framer

O bloco CPRI Framer, que integra ambos os módulos do demonstrador, equivale ao bloco `edk_dual_cpri` dos projetos do *Reference Design CPRI Multi-Hop*. Este periférico do XPS ou *pcore* inclui duas instâncias do *Intellectual Property* (IP) *core* CPRI da Xilinx que implementa as camadas L1 e L2 da especificação. A versão mais recente do *core* à data é a v8.2. Esta versão, em conformidade com a especificação v6.0 do protocolo, apresenta interface AXI4-Lite para *Management* e genérica para os restantes fluxos de informação. Porém, esta versão apenas se encontra disponível para projetos em Vivado, logo não se poderá aplicar a dispositivos Virtex-6 que equipam a placa de desenvolvimento ML605. Assim sendo, e tendo em conta a versão do *core* utilizada no *Reference Design CPRI Multi-Hop*, o sistema foi desenvolvido com a v3.2. Esta versão, introduzida na *release* 12.2 do ISE *Embedded Edition*, foi baseada na v4.1 do CPRI [49], sendo assim a versão de referência para este capítulo. São algumas as diferenças face à versão mais recente, nomeadamente, as opções para a *line rate* permitidas (apenas 1 a 6) ou o não suporte para o *standard* GSM (posteriormente introduzido na v5.0 do protocolo). A figura 5.4 apresenta uma visão esquemática dos blocos lógicos que integram o *core*.

São consideradas as interfaces da L2 como os dados I/Q, Ethernet, HDLC, sincronização da L1, e *Vendor Specific*. A interface Ethernet é concretizada com *Media Independent Interface* (MII) ou *Gigabit Media Independent Interface* (GMII). A interface *Management* é usada para configuração do modo de operação e leitura do estado do *core* e, nesta versão, não possui suporte para AXI4-Lite. Na L1, o *core* implementa a técnica TDM para multiplexagem dos fluxos de informação, assim como os mecanismos de sincronização.

Para dispor do *core* nos ambientes XPS e ISE, é necessário correr a ferramenta Xilinx COREGenerator que devolve os ficheiros *Hardware Description Language* (HDL) e *netlist*, sendo possível a parametrização de alguns aspectos (configuração das *line rates* suportadas, *clock* de referência, tipo de interface Ethernet e operação em *master* ou *slave*).

É importante referir ainda que, com a geração deste *core*, é criado um *example design* no qual é instanciada a interface com os módulos *Serializer/Deserializer* (SERDES) da FPGA, nomeadamente, com os *transceivers* de alta velocidade GTXE1 (caso Virtex-6), e com o módulo *I/Q Module* para multiplexagem até 24 canais AxC. Estes módulos são igualmente constituintes do *pcore* `edk_dual_cpri`. De seguida, é apresentado o método de parametrização dos *cores* CPRI que integram o bloco CPRI Framer.

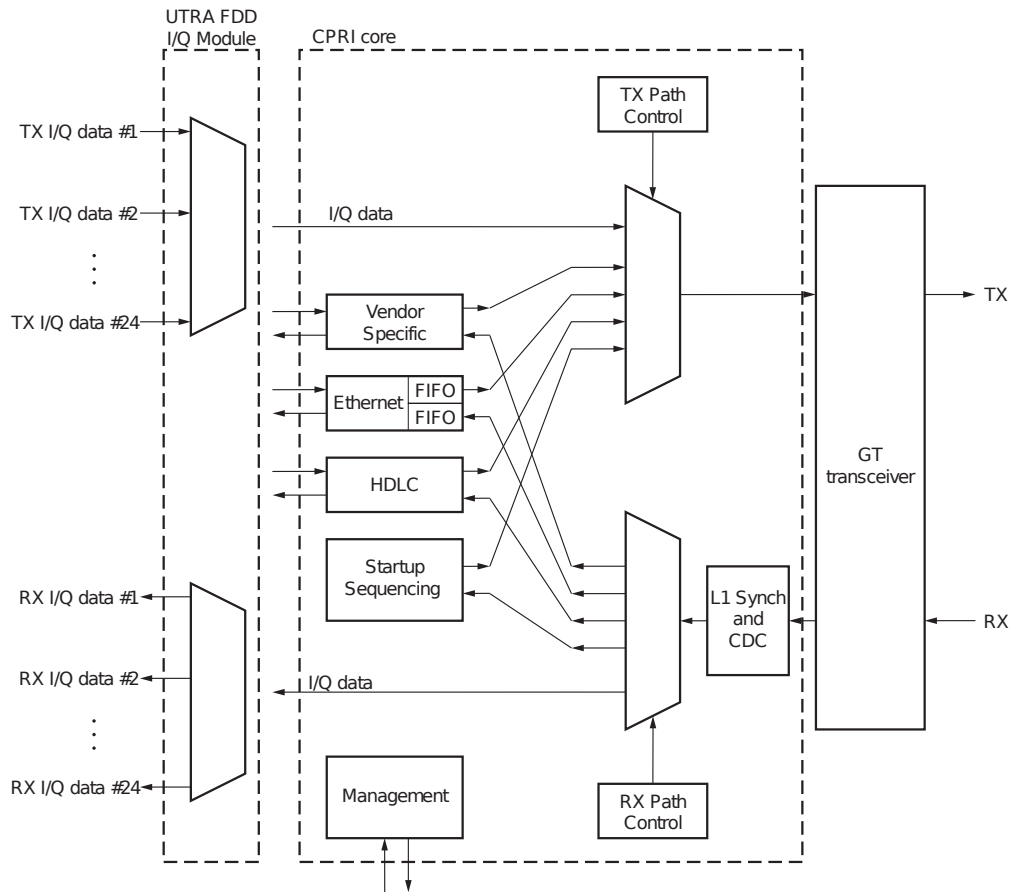


Figura 5.4: Esquema do *core* CPRI v3.2 da Xilinx, retirado de [50].

5.2.1.1 Parametrização do *core* CPRI

A figura 5.5 apresenta a interface de configuração do *core* CPRI v3.2 na ferramenta Xilinx COREGenerator v12.2.

As configurações atribuídas ao *core* para o CPRI determinam o seu modo de operação. O bloco CPRI **Framer** do REC deve conter, pelo menos, uma instância *master*, assim como o RE/RRH, no mínimo, uma instância *slave*. Para além disso, os blocos **SERDES** (baseados nos *transceivers* GTXE1) de ambos os módulos requerem um relógio externo para os MGTs, de acordo com as *line rates* suportadas. A tabela 5.1 dá a indicação das *line rates* permitidas para os dispositivos Virtex-6 e para o *core* v3.2, tendo em conta a configuração seleccionada. Atendendo às características da FPGA da placa ML605, os *cores* CPRI foram gerados segundo a configuração *Up to 4.915 Gbit/s (-1 devices)* [51], requerendo assim um relógio de referência para o MGT de 245.76MHz.

5.2.1.2 Relógio de Referência para o MGT

É através dos módulos SFP+, inseridos em cada placa, que é possível estabelecer o *link* CPRI/ótico entre o REC e o RE/RRH. A *cage* que acomoda o módulo tem associado o MGT do *bank* 116 da FPGA da ML605. Assim, o bloco **SERDES** relativo ao *core master* no REC e

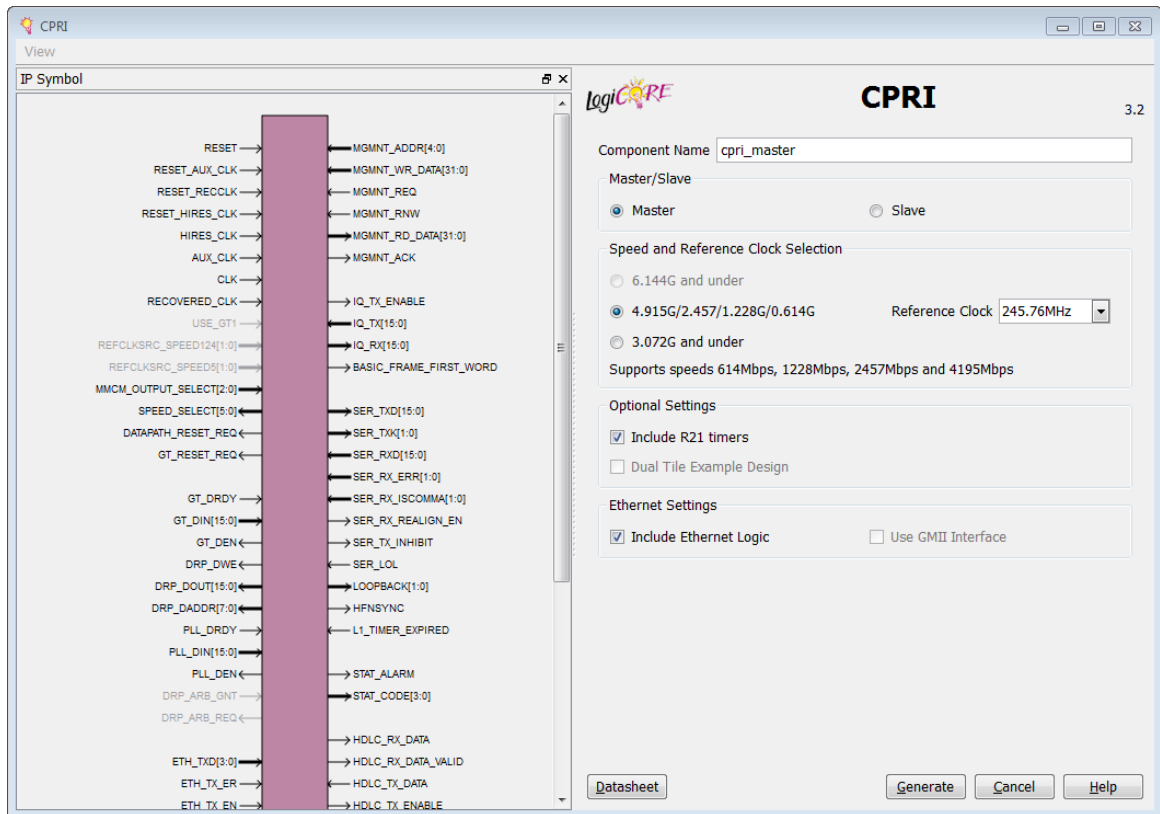


Figura 5.5: Janela de configuração do *core* v3.2 CPRI na ferramenta COREGenerator da Xilinx.

Configuração	Opções de <i>Line Rate</i> CPRI permitidas	Relógio de Referência por defeito (MHz)
Up to 3.072 Gbit/s	1, 2, 3, 4	153.6
Up to 4.915 Gbit/s (–1 devices)	1, 2, 3, 5	245.76
Up to 6.144 Gbit/s (–2 devices)	1, 2, 3, 4, 5, 6	307.2

Tabela 5.1: Configurações possíveis e relógios de referência para o IP *core* CPRI v3.2 da Xilinx, retirado de [50].

ao *core slave* no RE/RRH terá de se encontrar nessa localização (definida no *User Constraint File* (UCF) do projeto).

Num *master*, o *clock* externo deve ser de elevada qualidade e estável de modo a ser usado como relógio de referência do MGT e também de um módulo *Mixed-Mode Clock Manager* (MMCM) que, dependendo da *line rate*, sintetiza o relógio para o fluxo TX. Esse mesmo relógio é igualmente usado para os *timings* da receção de dados pelos *transceivers*. Por outro lado, num *slave*, requer-se que se use uma *cleanup Phase-Locked Loop* (PLL), com vista

a reduzir o *jitter* do relógio proveniente do MGT. Esta PLL, é alimentada por um relógio de frequência constante de 30.72MHz recuperado pelo *pcore edk_dual_cpri*, qualquer que seja a *line rate* atual.

Para cumprir os requisitos descritos acima, utilizam-se componentes externos, capazes de sintetizar relógios com uma determinada frequência e de atuarem como eliminador de *jitter* com recurso a uma PLL interna. Assim, recorreu-se ao módulo de avaliação da Texas Instruments CDCE72010EVM (apêndice C.3), com as mesmas funcionalidades do CDC7005EVM, que foi utilizado na XAPP1132 [52] [53]. Porém, ao contrário do que é feito no *Reference Design*, em que é usado um módulo para produzir a referência no REC e outro para remover o *jitter* no RE, aqui, o CDCE72010EVM, será apenas utilizado com o RE/RRH. Para gerar o relógio de referência para o REC, é usado o módulo SuperClock-2 que integra a placa de caracterização de *transceivers* da Xilinx ML628 [54]. A vantagem obtida nesta solução é a de que este módulo inclui o componente Si5368 da Silicon Labs, que gera um relógio diferencial (*Low Voltage Differential Signaling* (LVDS)) de elevada qualidade para os MGTs, além de que, a configuração de relógios com frequências *standard* para diversas interfaces série (incluindo o CPRI) é simplificada via ChipScope Pro VIO (integrado num *Reference Design* para aquela placa) [55]. Quanto ao RE/RRH, é configurado o conector J56 da placa ML605 (*user* GPIO SMA) para devolver o relógio de 30.72MHz recuperado na PLL do *core* CPRI, que serve de referência ao CDCE72010EVM. Tendo em conta que o VXCO presente neste módulo é de 491.52MHz e de que a saída requerida é de 245.76MHz, alguns cálculos são necessários de modo a determinar os coeficientes M , N , FB e P [56]. A equação 5.1 generaliza a relação entre os coeficientes e as frequências de saída (f_{OUT}) e referência (f_{IN}).

$$f_{OUT} = f_{IN} \cdot \frac{N \cdot FB}{M \cdot P} \quad (5.1)$$

Sabendo que $f_{VXCO} = f_{OUT} \cdot P$, extrai-se o *output divider* $P = 2$. Ao se fixar $FB = 80$ obtém-se a razão: $N/M = 1/5$. Assim, escolheu-se $M = 100$ o que implica que $N = 20$. Estes coeficientes são introduzidos na GUI fornecida pelo fabricante para configuração da placa de avaliação, como é possível confirmar na figura C.5 [57]. A aplicação permite definir, entre outros, o tipo de saída (LVDS em U5P e U5N) e ainda identificar os coeficientes determinados anteriormente no esquema interno do CDCE72010.

O relógio de referência fornecido pelo SuperClock-2 assim como o proveniente da *cleanup* PLL são do tipo LVDS e são aplicados, respetivamente, no REC e no RE/RRH aos conectores dedicados para a entrada do *clock* do MGT: J30(N) e J31(P).

5.2.1.3 Interface I/Q

Neste subtópico, é apresentado um exemplo que permite compreender a interface I/Q do bloco CPRI *Framer*. Nas figuras 5.6(a) e 5.6(b), é apresentado o diagrama temporal do sinais envolvidos na interface I/Q do *core* (respetivamente, antes e após o bloco *I/Q Module* para multiplexagem de AxC). Ambos os casos correspondem à situação de *line rate* de 1228.8 Mbit/s @ 5MHz de largura de banda, o que implica a uma frequência de amostragem de 7.68MHz. Este valor é duas vezes a f_{chip} ou, por outras palavras, durante um t_{chip} são realizadas duas amostragens (dois pares de dados I/Q). Para a *line rate* selecionada, em cada *basic frame* são enviadas 16 palavras com tamanho $T = 16$ bits (figura 2.14(b)). Essas 16 palavras são enviadas em 16 ciclos do relógio *clk*. Assim, dado que este relógio é 16

vezes superior à f_{chip} , tem-se $f_{clk} = 61.44\text{MHz}$. Pode-se então estabelecer a relação de que o relógio usado pelo *core* para disponibilizar amostras na recepção ou para capturar amostras na transmissão varia em função da *line rate*. De salientar o facto da dimensão das amostras ser declarada no módulo de multiplexagem de AxC. No exemplo anterior e para o demonstrador desenvolvido, são consideradas amostras I/Q de 16 bits.

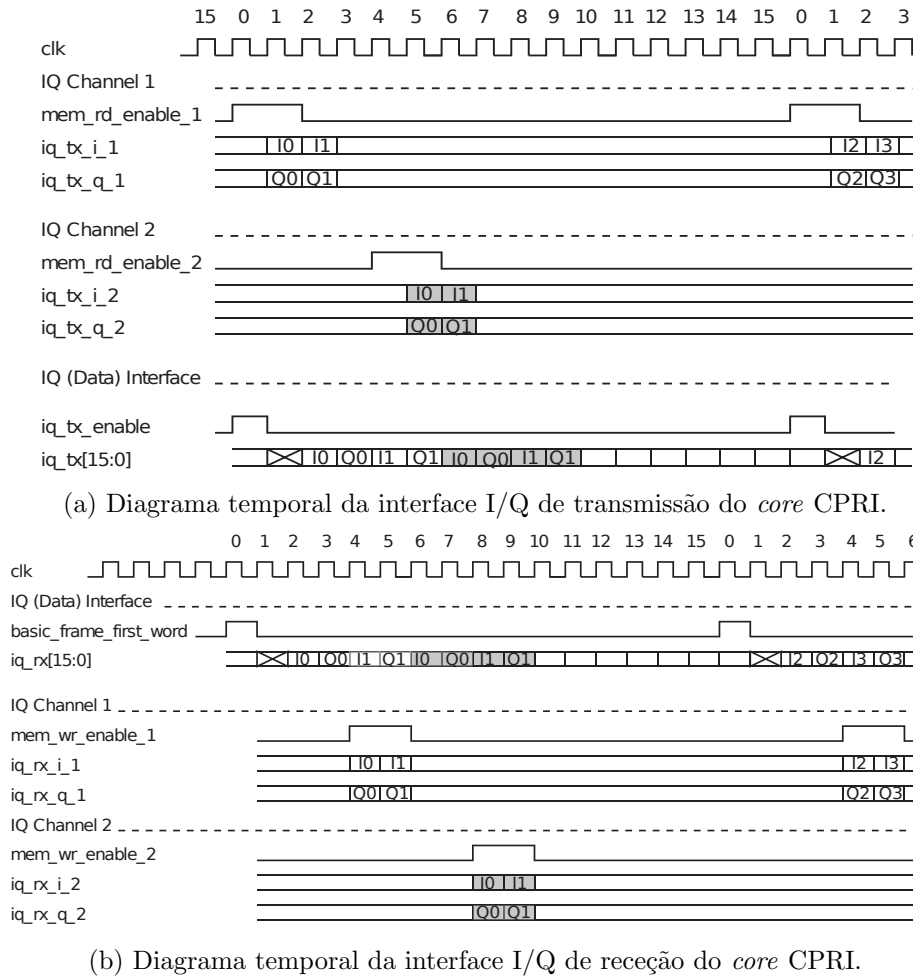


Figura 5.6: Diagramas temporais da interface I/Q do *core* CPRI, retirado de [40].

As considerações feitas neste subtópico serão úteis na implementação dos blocos CDC DL e CDC UL, detalhada no próximo capítulo.

5.2.2 Restantes Blocos

Os blocos que estabelecem as interfaces do CPRI foram igualmente adaptados dos projetos das figuras 5.3(a) e 5.3(b). A interface I/Q está ligada ao **data_gen_mon** que se encarrega de armazenar amostras provenientes do PC na memória *Synchronous Dynamic Random Access Memory* (SDRAM) (apenas possível no REC). Posteriormente, este bloco irá recuperar essas amostras I/Q para injetar na interface TX do **CPRI Framer**, assim como definir a largura de banda do *link*. O bloco **Ethernet** é implementado com os periféricos

`axi_fifo_mm_s` e `axi_ethernet`. Por sua vez, o *Vendor Specific Data* é realizado com o bloco `plb_vendor_specific` e a interface para *Management* do *core* é implementada com o bloco `management`. De salientar que os periféricos acabados de referir foram incluídos em duplicado dada a existência de duas instâncias CPRI no bloco `CPRI Framer`. A geração de relógios ficou a cargo do *pcore Clock Generator* configurado para, a partir do relógio do sistema de 200MHz, gerar os relógios para as interfaces AXI, MicroBlaze e periféricos (100MHz), Ethernet MII (25MHz) e lógica interna do *core* CPRI (333MHz), fazendo uso dos blocos MMCM embutidos na FPGA [58].

Os dois projetos do XPS incluem ainda a possibilidade de verificar a *line rate* atual do *link* CPRI nos GPIO LEDs da placa ML605.

Para a configuração do modo de operação dos diversos periféricos foi ainda incluído um MicroBlaze, em ambos os módulos, cujas funcionalidades são apresentadas no subtópico seguinte.

5.2.3 Componente de *Software*

O MicroBlaze do módulo REC corre uma aplicação que tem a função de estabelecer as configurações iniciais, como a *line rate* do *link*, e ainda mapear as placas que poderão estar ligadas por CPRI. O seu modo de operação baseia-se no modos *debug* e *GUI*. No primeiro, é possível a comunicação via terminal para a execução de uma série de comandos de controlo e monitoração da ligação. No modo de *GUI*, a aplicação verifica periodicamente o estado da ligação para outras placas assim como recebe controlos via UART da GUI incluída no *Reference Design CPRI Multi-Hop*. No caso do RE/RRH, o programa do MicroBlaze espera por comandos originados no REC e provenientes da interface *fast C&M* implementada pelo bloco `Ethernet`.

5.3 Validação

A fase da validação do *fronthaul* do demonstrador foi realizado com base na aplicação gráfica fornecida com o *Reference Design CPRI Multi-Hop*, cuja janela principal é apresentada na figura 5.7. Aqui, é selecionada a *line rate*, a largura de banda, são carregadas amostras para o bloco `IQ Generator` e é controlada a transmissão dessas amostras entre o REC e o RE/RRH. A GUI oferece ainda a opção de escolher uma entre duas sequências distintas para o fluxo *Vendor Specific* (ascendente e descendente).

Para finalizar, foram recolhidas algumas capturas das interfaces *Vendor Specific* e I/Q para diferentes *line rates* e larguras de bandas com o ChipScope Pro, como as que são apresentadas na figuras 5.8 e 5.9, respetivamente. No primeiro caso, são apresentadas as *waveforms* recolhidas da interface de *Vendor Specific* do *core* CPRI. É possível identificar o índice do subcanal (N_S), o índice da palavra de controlo nesse sub-canal (X_S) e os dados recebidos e transmitidos para as sequências ascendente e descendente. Como se pode confirmar, este fluxo surge a partir do $N_S = 0x10 = 16$ até $N_S = 0x13 = 19$. No sinal de dados, verifica-se sequências de 4 palavras de 40 bits com incremento/decremento de $2 \times$ (*shift* para a esquerda de um bit). No caso das capturas da interface I/Q, é possível verificar a quantidade de pares I/Q inseridos em cada *basic frame* CPRI, considerando amostras de 16 bits. De ressaltar o facto de que, nesta validação, apenas se conseguiu metade da capacidade de largura de banda pois são multiplexados dois canais na transmissão I/Q.

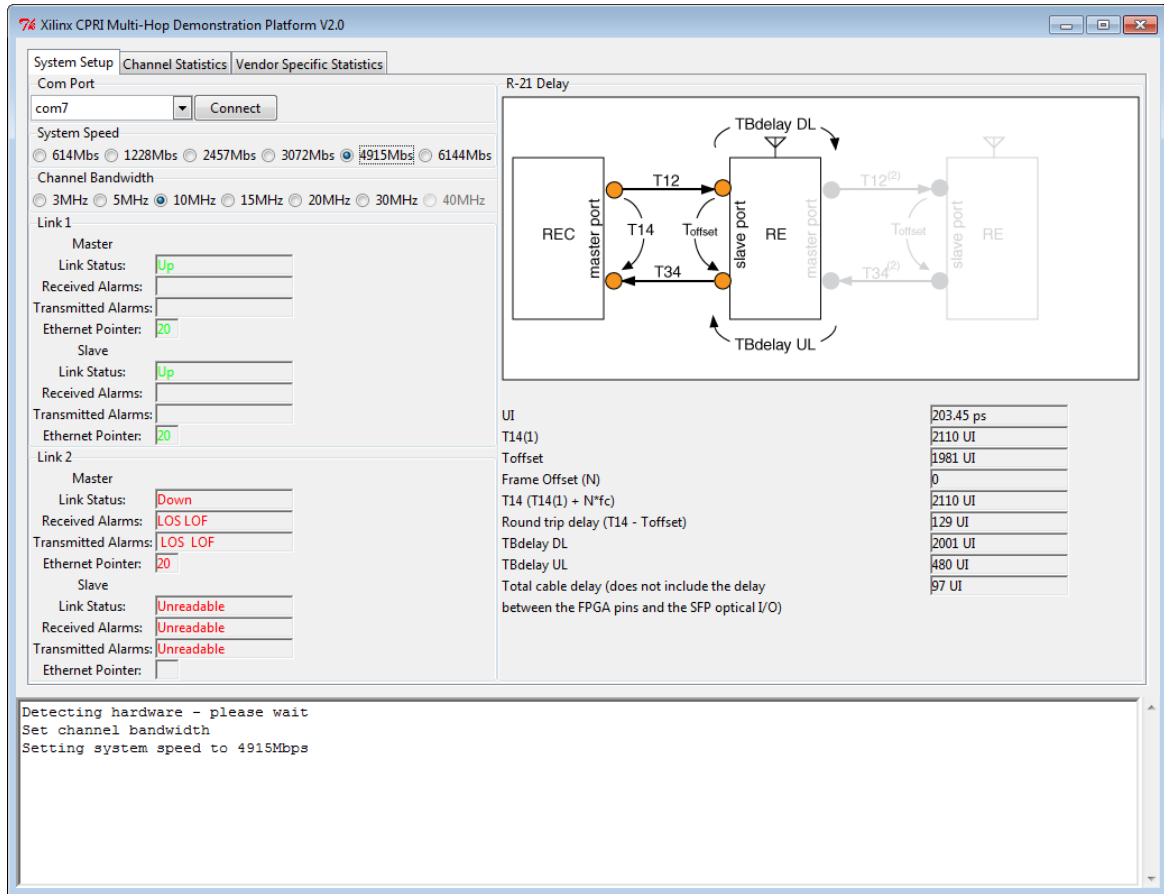
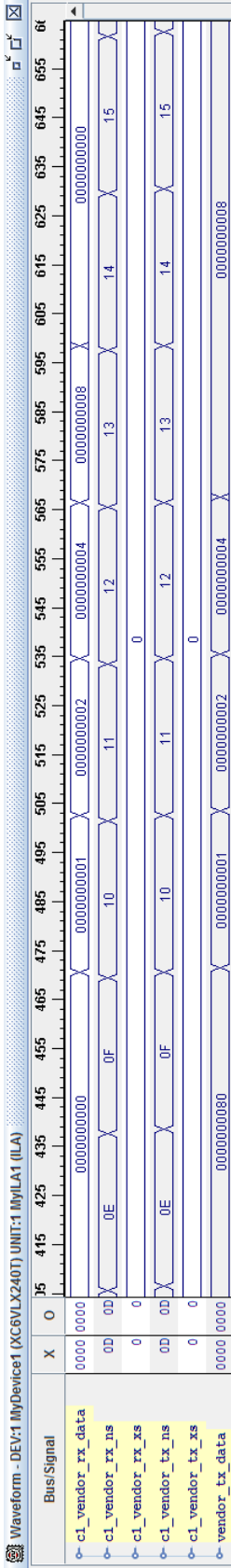
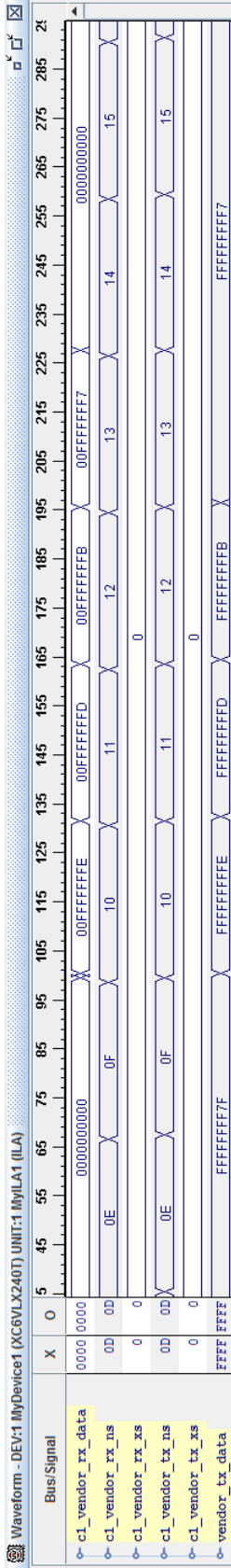


Figura 5.7: Interface gráfica usada na validação do sistema desenvolvido.

Ao longo deste capítulo foi detalhado o método de implementação da interface CPRI nos dois principais módulos que compõem o demonstrador. Foi validado com sucesso a transferência de dados I/Q, *Vendor Specific*, C&M e testadas verificadas várias *line rate* para o *link*. O próximo capítulo foca a integração do *front end* analógico no módulo RE/RRH.

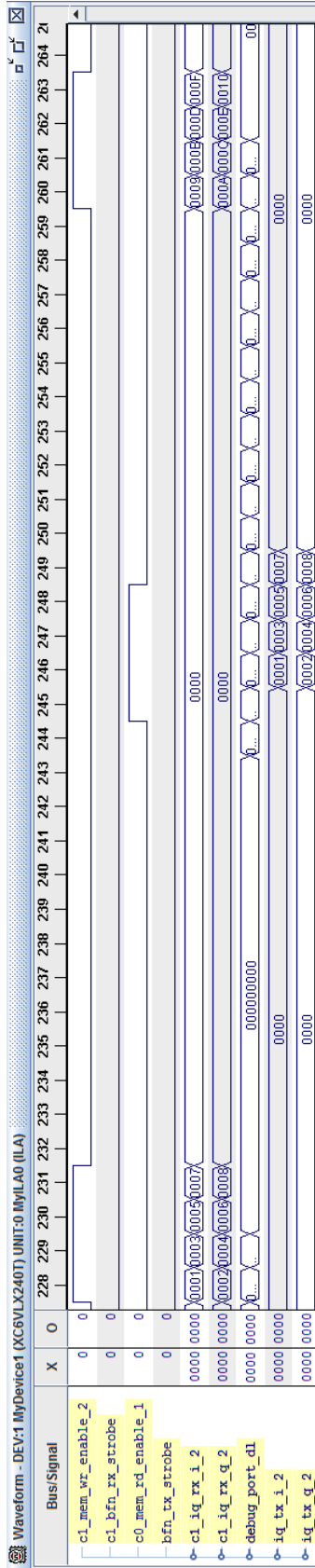


(a) Fluxo *Vendor Specific* com a sequência ascendente.

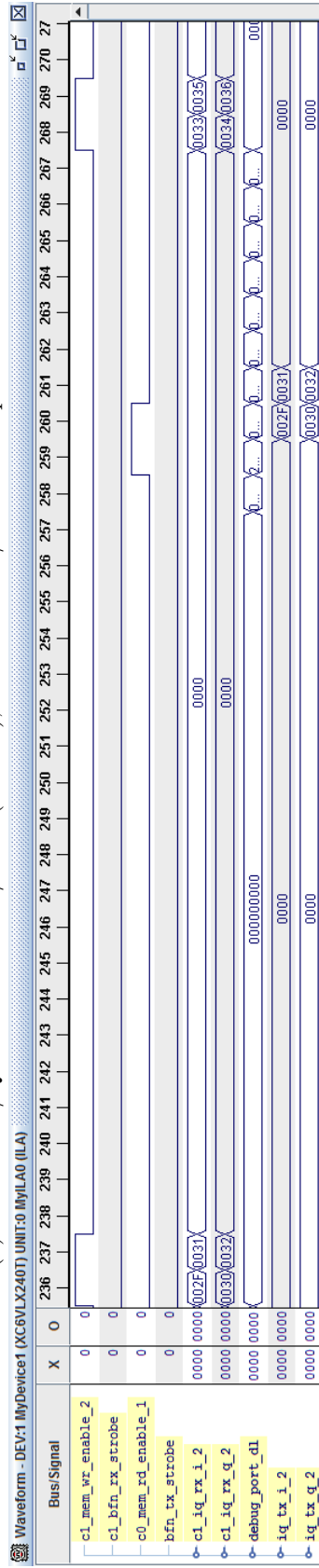


(b) Fluxo *Vendor Specific* com a sequência descendente.

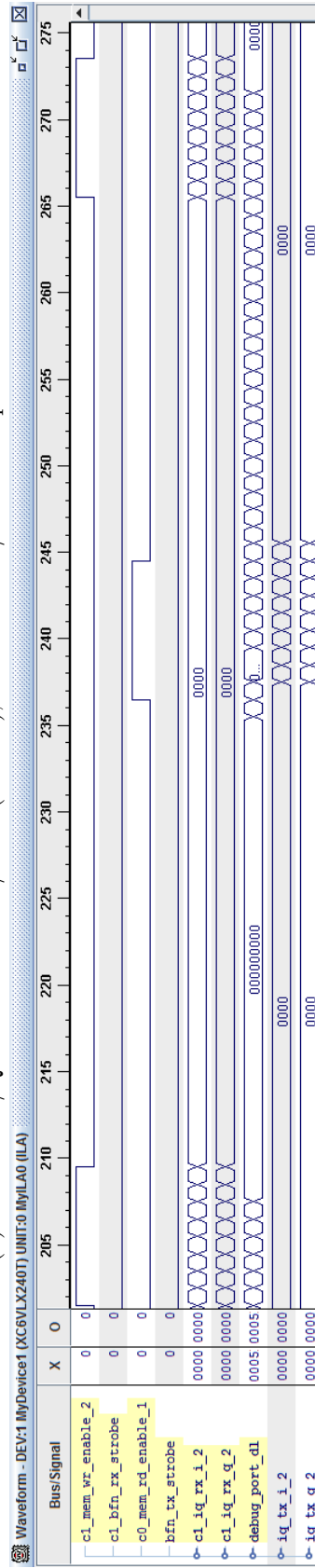
Figura 5.8: Amostras recolhidas na interface *Vendor Specific* do CPRI no RE/RRH.



(a) Amostras I/Q recebidas no RE/RRH (canal 2), a 2457.6 Mbit/s @ 10MHz por canal.



(b) Amostras I/Q recebidas no RE/RRH (canal 2), a 2457.6 Mbit/s @ 5MHz por canal.



(c) Amostras I/Q recebidas no RE/RRH (canal 2), a 4915.2 Mbit/s @ 20MHz por canal.

Figura 5.9: Amostras recolhidas na interface I/Q do CPRI no RE/RRH.

Capítulo 6

Integração do *Front End* Analógico

Para que o módulo RE/RRH cumpra a arquitetura definida da figura 4.3, é necessária a inclusão de um *front end* analógico para a interface com o domínio de RF. Assim, o *front end* analógico escolhido, foi a placa de expansão AD-FMCOMMS1-EBZ da Analog Devices (apêndice C.2), com conectividade FMC, logo compatível com diversos *kits* de desenvolvimento baseados em FPGA da Xilinx, entre os quais a ML605. Para a utilização do *front end*, foi explorado o *Reference Design* disponibilizado pelo fabricante, onde é possível, entre outros, a configuração do modo de operação da DAC, ADC e frequências de transmissão e recepção. Este *Reference Design* é igualmente baseado em MicroBlaze e o seu diagrama funcional é apresentado na figura 6.1.

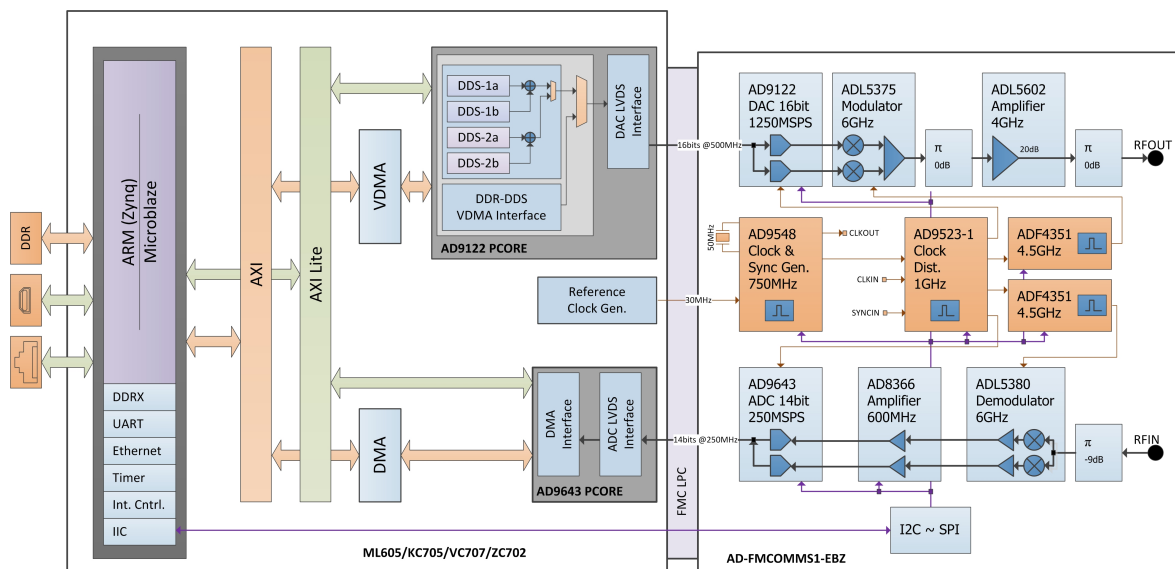


Figura 6.1: Diagrama funcional do projecto EDK para interação com o AD-FMCOMMS1-EBZ da Analog Devices, retirado de [59].

Neste capítulo são apresentadas as principais características do *front end* assim como detalhada a estratégia de implementação das cadeias de *downlink* e *uplink* para o módulo RE/RRH.

6.1 Caraterização do *Front End* AD-FMCOMMS1-EBZ

Esta secção tem por objetivo a análise do *Reference Design* fornecido pelo fabricante do *front end* analógico que tratará de implementar o andar de RF do demonstrador aqui proposto neste documento. São ainda apresentadas as medições de espectro que permitem avaliar a precisão das configurações aplicadas, assim como aspectos da modulação I/Q feita no *front end*. A descrição dos componentes e do esquema interno do *front end* é apresentada no apêndice C.2.

6.1.1 Estrutura do *Reference Design*

O *Reference Design*, fornecido pela Analog Devices e que permite explorar as capacidades do *front end*, tem por base um MicroBlaze com interface AXI4-Lite para os periféricos. Tal como no caso do *CPRI Multi-Hop*, é fornecido um diagrama que conceptualiza o sistema *embedded* (figura 6.1). É igualmente fornecido um conjunto de funções (XCOMM), que, através da *bridge Inter-Integrated Circuit* (I2C)/*Serial Peripheral Interface* (SPI), realizam a configuração dos registos internos da maioria dos componentes do *front end*, determinando assim o seu modo de funcionamento. Relativamente ao circuito de relógio, o AD9548 recebe um relógio de 30MHz com origem na FPGA para gerar uma referência síncrona de 122.88MHz para o AD9523-1. Por sua vez, este componente é responsável por gerar os relógios para a DAC (491.52 MHz), ADC (245.76 MHz) e para os osciladores locais usados na transmissão e receção, implementados no ADF4351 (122.88MHz) [60].

São ainda fornecidos os *cores* que implementam a interface com a DAC e ADC, `axi_ad9122` e `axi_ad9643`, respetivamente. Para o envio de *waveforms* para a DAC, é possível configurar os módulos *Direct Digital Synthesizer* (DDS) que geram formas de onda sinusoidais com uma determinada frequência e com uma certa fase. Como alternativa, existe a opção de ativar um *Direct Memory Access* (DMA) que efetua a transferência de dados previamente escritos na SDRAM para a DAC. Em ambos os casos, a receção é feita com um DMA que trata da captura das amostras que o *core* da ADC disponibiliza copiando-os para a SDRAM (igualmente interface do tipo *First-In First-Out* (FIFO)). O *core* que instancia o bloco de memória, `axi_ddr_ctrl`, está associado à ferramenta *Memory Interface Generator* (MIG), usada para simplificar o desenho de sistemas que envolvem a memória DDR3 da placa de desenvolvimento.

A interface FIFO presente em ambos os DMAs, contempla os seguintes sinais: `clk`, `enable/valid`, `data`, `underflow` e `overflow`. Para o caso da DAC, o *core* `axi_ad9122` possui como entrada de dados um porto de dimensão 64 e saída dois portos diferenciais (N e P) de 16 bits cada. Assim, ao escolher-se uma determinada frequência de amostragem f_{DAC} , o relógio para a interface FIFO (para leitura) terá a frequência de $f_{DAC}/4$, devido ao rácio entre as dimensões dos sinais de dados. O periférico que instancia a ADC, `axi_ad9643`, possui operação semelhante porém, aqui as amostras presentes nos 32 bits mais significativos são uma cópia do sinal disponibilizado nos 32 bits menos significativos. Estes 32 bits constituem um par I/Q, com cada amostra representada por 14 bits. Assim, o relógio para a FIFO (para escrita no DMA) é semelhante à frequência de amostragem escolhida para o dispositivo, f_{ADC} .

6.1.2 Verificação Laboratorial

O *Reference Design* descrito no subtópico anterior, foi corretamente validado com a v14.7 das ferramentas de desenvolvimento, sem a necessidade que qualquer processo de atualização do projeto do XPS. O programa de demonstração incluído no *Reference Design* prevê a utilização do módulo DDS, integrante no *core axi_ad9122*, para a injeção de amostras I/Q (a uma frequência programável) na DAC com posterior visualização das *waveforms* digitalizadas pela ADC no ChipScope Pro. Como alternativa, é possível a utilização do DMA associado ao *core* da DAC, sendo necessário o carregamento prévio de dados I/Q na memória SDRAM. Esta última situação foi utilizada para a realização dos testes apresentados de seguida. Na execução laboratorial, foi colocada uma ventoinha para arrefecer o *front end*.

O primeiro cenário de teste considera o envio de sinal nulo de modo se a obter a portadora transmitida pelo *front end*. Na figura 6.2 é visualizado o espectro do sinal TX considerando que foi definida frequência da portadora em $f_c = 2.4GHz$. A escolha da frequência central de 2.4GHz baseia-se no facto de ser a frequência definida por defeito no *Reference Design* descrito no tópico anterior.

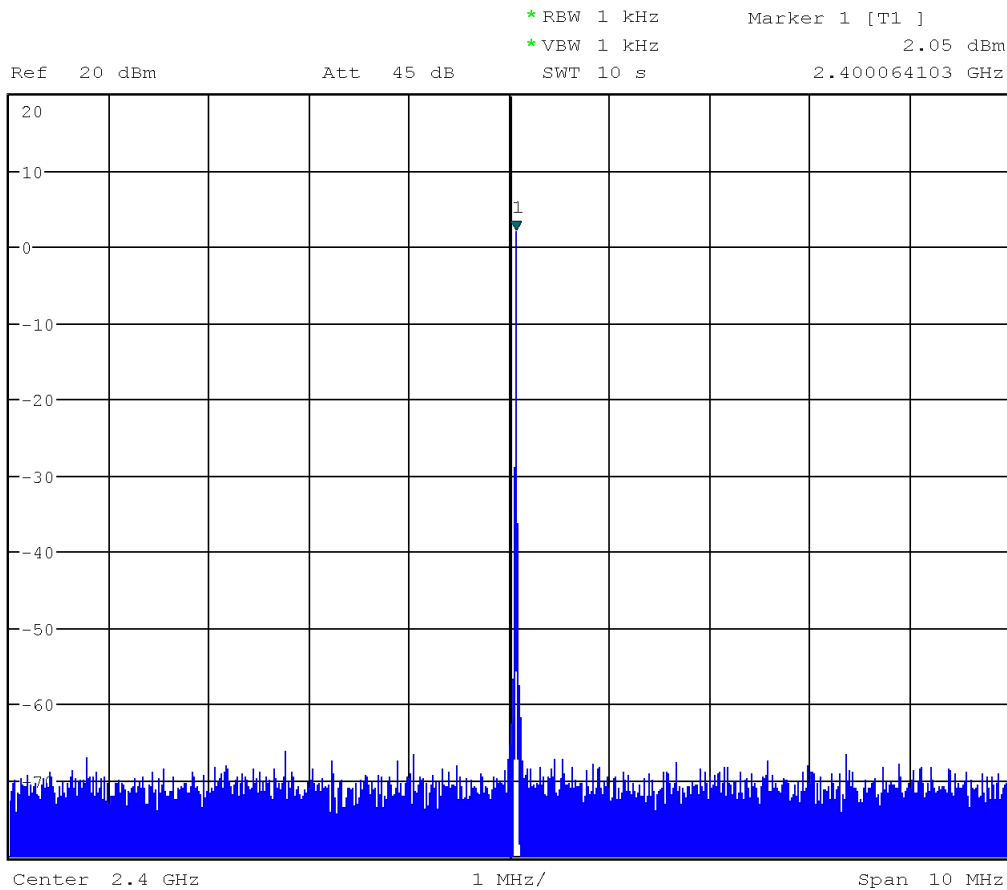


Figura 6.2: Espectro da portadora de 2.4GHz transmitida pelo *front end*.

É possível verificar um desvio de, aproximadamente, 64.1kHz em relação à f_c esperada. Tendo em conta que foi inserido um atenuador de 10dB à entrada do VSA, e que foi medido um máximo de 2.05dBm, a potência de saída do *front end* é de $P_{out} = 2.05dBm + 10dB =$

12.05dBm.

O segundo cenário de teste contempla um sinal com um tom de frequência $f_1 = 1.536\text{MHz}$ gerado em MATLAB® e amostrado 61.44 MSPS. Este sinal é representado em complemento para 2, de modo a ser compatível com as configurações quanto ao formato dos dados de entrada da DAC e de saída da ADC. A figura 6.3 apresenta o espectro do sinal obtido.

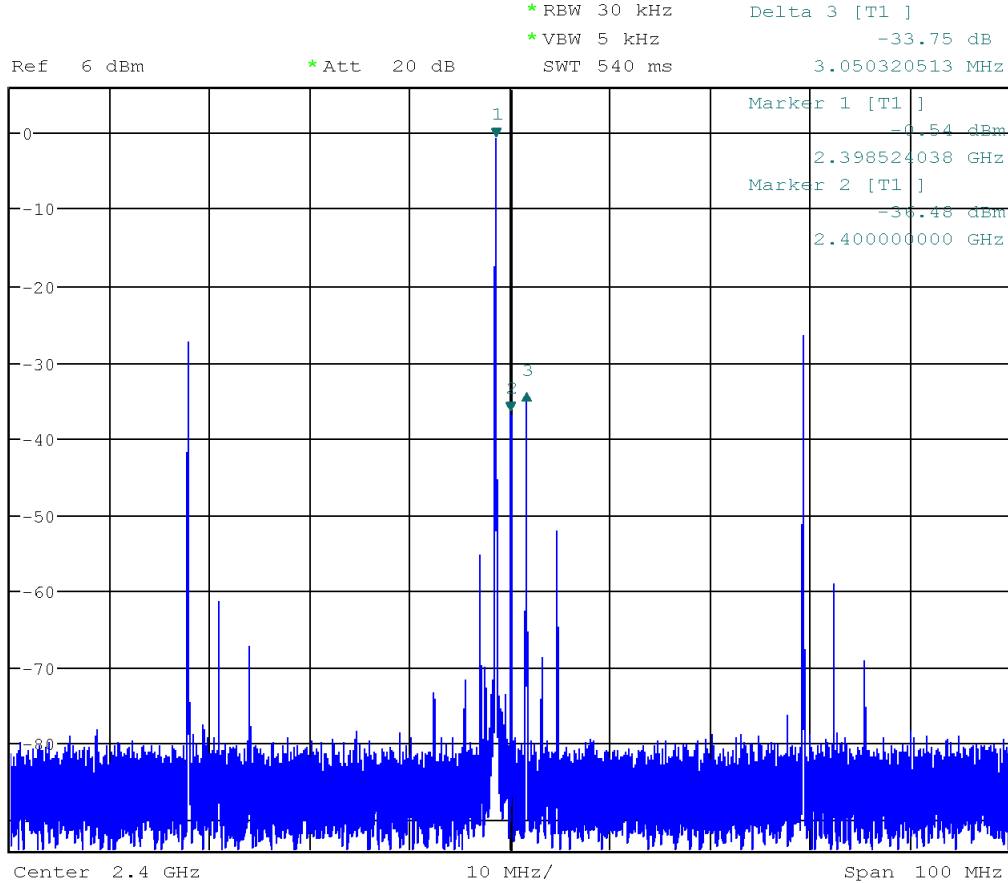


Figura 6.3: Espectro do sinal de um tom amostrado a 61.44 MSPS, com portadora de 2.4GHz.

O tom de 1.536MHz é observado a 2.38524GHz ($f_c - f_1$) dado que provoca um desvio na portadora. Com este teste, foi ainda possível verificar o fenómeno de *I/Q Imbalance* pelo aparecimento de uma componente não ideal a $f_c + f_1$ causado pelo desvio de fase e também de amplitude entre os sinais I e Q. Estes desvios são explicados pelo facto da modulação I/Q ser realizada no domínio analógico, logo, sujeita às diferenças nos caminhos dos sinais I e Q. Pode então ocorrer um desfasamento da fase (relação entre os osciladores locais diferente do ideal de 90°), assim como diferenças ao nível do ganho de cada caminho I e Q. A relação de amplitudes dos tons $f_c - f_1$ e $f_c + f_1$ situou-se em 33.75dBc. No espectro da figura 6.3, é ainda possível identificar uma componente originada pelo *LO Leakage* (presença do portadora de 2.4GHz na saída), registando-se uma relação de -37.02dBc, face ao tom desejado. Adicionalmente, na mesma figura, são observáveis as imagens resultantes do processo de conversão realizado pela DAC, que se localizam centradas em múltiplos de $f_s/2$.

O *front end* utilizado oferece a possibilidade de calibração do *offset* DC, ajustamento *fase* e ajustamento de *full scale* para os sinais I e Q, na DAC. Os valores de calibração encontram-se

numa memória EEPROM, podendo assim ser acedidos e utilizados na calibração. Porém, essa calibração, para 2.4GHz, revelou-se benéfica na medida em que baixou o *LO Leakage*, para -50.32dBc, mas acentuou o *IQ Imbalance* reduzindo a relação das amplitudes para 29.88dBc. Face ao exposto, optou-se por não aplicar a calibração dos sinais I/Q na DAC do *front end*.

O teste com sinais de banda estreita é considerado no capítulo 7 onde é ainda realizada a medição de indicadores de qualidade do sinal transmitido pelo demonstrador proposto neste documento. Para finalizar este tópico, foram validadas um conjunto de funções XCOMM configurando, por exemplo, o formato dos dados de entrada e saída, o ganho do *Variable Gain Amplifier* (VGA), diferentes frequências de amostragem para a DAC e ADC assim como diversos valores de frequências de transmissão e receção.

6.2 Integração do *Front End* Analógico no Demonstrador

Nesta última secção deste capítulo, é apresentado o método de integração do *front end* analógico ao nível dos blocos de *hardware* e da componente de *software*. Esta integração incide sobre a plataforma do RE/RRH já validada no capítulo anterior com a interface com o REC através do CPRI. Pretende-se incluir a lógica necessária ao estabelecimento das cadeias de *downlink* e *uplink*. Para o sentido de *downlink*, a estratégia consiste em reencaminhar o sinal complexo de banda base recebido do REC, para a conversão em sinal RF. Em oposição, para o *uplink*, o sinal digitalizado pela ADC do *front end* deve ser enviado, através do *link* CPRI, para o REC.

6.2.1 Fluxo de Dados I/Q

Atendendo ao sistema cuja implementação foi descrita na secção 5.2 e à figura 4.3, é possível verificar os blocos que faltam incluir no RE/RRH para que se cumpra a arquitetura proposta para este módulo do demonstrador. Os blocos em questão são o CDC DL e DAC IF que correspondem à cadeia de *downlink*, e ADC IF e CDC UL que constituem a cadeia de *uplink*.

O bloco DAC IF é implementado com o *pcore axi_ad9122*, enquanto que o periférico *axi_ad9643* representa o bloco ADC IF da figura 4.3. A figura 6.4 concretiza esquematicamente o *datapath* para o fluxo I/Q, implementado na FPGA.

Tendo em conta as considerações feitas nos tópicos 5.2.1.3 e 6.1.1 quanto à interface de dados dos *cores*, é necessário proceder à introdução de um bloco FIFO (*core* FIFO Generator v9.3 na versão interface nativa gerado na ferramenta Xilinx COREGenerator) [61]. Esta FIFO possui relógios de escrita e leitura distintos, e é usada para a passagem de amostras I/Q, entre o *core* CPRI e *cores* DAC/ADC, sem perdas e com a mais baixa latência possível. Para o *downlink*, o componente *fifo_dl* aceita um relógio de escrita do periférico que implementa a interface CPRI e um relógio de leitura do *clock* do *core* da DAC. A entrada de dados de 32 bits é feita concatenando os sinais I(MSB) e Q(LSB) do canal #1 do *core* CPRI *slave*, cada um com 16 bits. Para a DAC, saem 64 bits relativos a dois pares I/Q. O bloco *iq.corrector* tem a função de trocar a ordem aos pares I/Q extraídos da FIFO para que se tenha o mapeamento semelhante ao verificado na validação efetuada em 6.1.2 (par #*n*: LSB, par #*n* + 1: MSB). É então imposto que a frequência de leitura seja metade da frequência de escrita, estando ambas dependentes da largura de banda. No caso do *uplink*, a *fifo_ul* realiza operação semelhante à anterior, havendo a troca do relógio de escrita pelo relógio da ADC, e do relógio de leitura pelo *clock* de transmissão do CPRI. Como as dimensões de dados são idênticas para a leitura e escrita (32 bits), a frequência de amostragem da ADC é

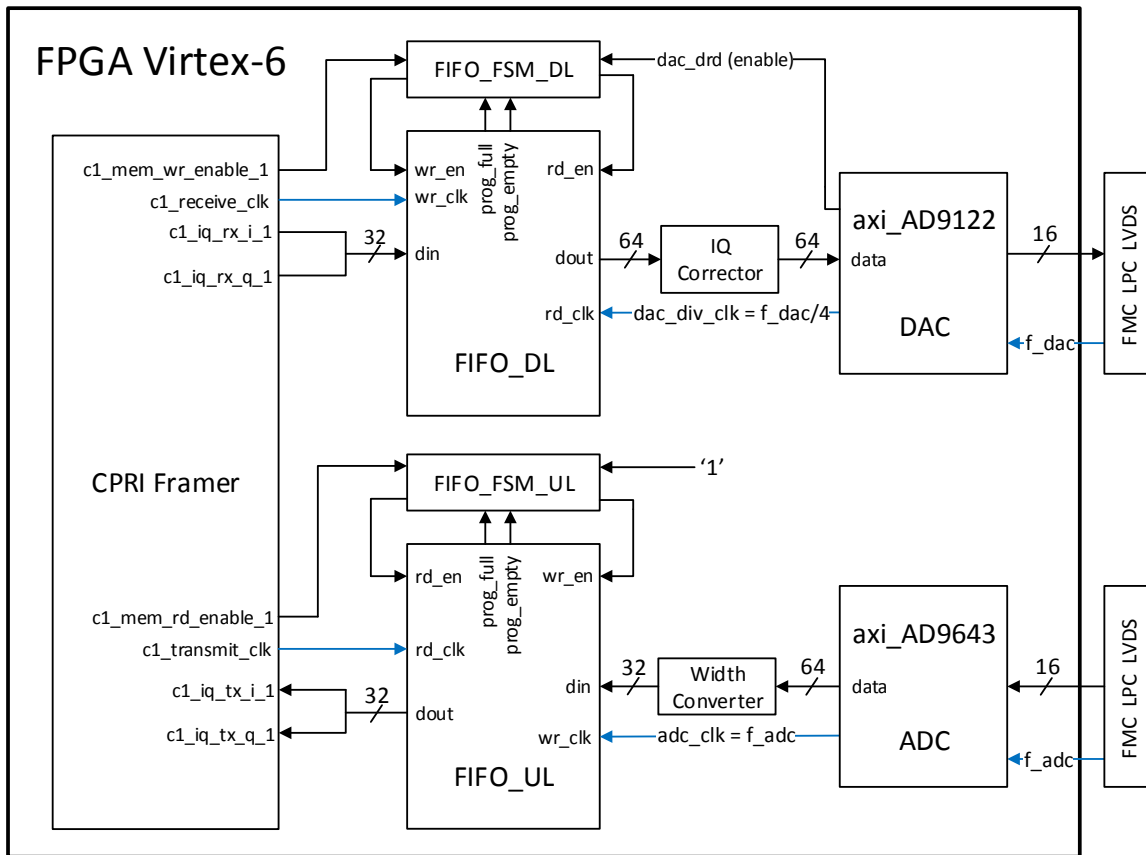


Figura 6.4: Componente de *hardware* relativa ao fluxo I/Q implementada na FPGA.

igual à frequência de transmissão do CPRI, igualmente dependentes da largura de banda do sinal. Foi, adicionalmente, introduzido um módulo para conversão da saída de 64 bits do *core* `axi_ad9643` para quatro saídas de dimensão 16. Assim, na entrada de dados do `fifo_ul` são concatenadas as duas saídas que representam os bits menos significativos (I: LSB, Q: MSB)) (`width_converter`). A saída desta FIFO é enviada para as entradas I e Q do canal #1 de transmissão do *core slave* do CPRI.

Para cada FIFO, os sinais de *enable* de escrita e leitura são ativados de modo a não levar à ocorrência de situações de *underflow* ou *overflow*. Para tal, foi desenvolvido o periférico `fifo_fsm` que, de acordo com sinais programáveis de `full` ou `empty` das FIFO evita as situações acima mencionadas mantendo a ocupação das FIFO em níveis controlados. O seu modo de operação assenta numa máquina de estados finitos onde no estado inicial (*empty*) é apenas permitida a escrita na FIFO. Seguidamente, quando a ocupação se encontra acima de um dado patamar, entra-se no estado *running* que representa a operação normal com escrita e leitura permitidas. Caso a ocupação de escrita suba acima de um determinado *threshold*, passa-se para o estado *full* onde é desativada a escrita de novas amostras. Por outro lado, caso a ocupação de leitura desça abaixo de um limiar passa-se para o estado inicial. Este mecanismo permitiu detetar situações onde os relógios da DAC e ADC se desviavam dos ideais.

6.2.2 Circuito de Relógio

O relógio de referência do AD9548, foi alterado em relação às definições originais indicadas na secção 6.1.1. De modo a mitigar os desvios de relógio entre a interface CPRI e dos módulos ADC e DAC do *front end*, estes devem possuir a mesma origem. Este facto leva a que se aumente a correlação entre domínios de relógio presentes no sistema. Como já foi referido no tópico 5.2.1.2, o *core edk_dual_cpri* devolve um relógio constante de 30.72MHz, independente da *line rate* selecionada. Assim, como este relógio provém do *transceiver* GTX e, consequentemente, do módulo SuperClock-2, passou-se a alimentar o AD9548 com o *clock* de 30.72MHz recuperado. Esta mudança levou a que se alterasse o *pcore edk_dual_cpri* para devolver esse relógio antes de passar por um bloco ODDR (primitiva da FPGA usada para reduzir o *skew* entre dados e relógio). Essa nova saída foi direcionada a um componente (*util_outclk_lvds*, que inclui um ODDR) para a conversão de *single ended* em diferencial do tipo LVDS.

6.2.3 Restantes Blocos

Relativamente ao projeto apresentado na figura 5.3(b), foram removidos os blocos *plb_host* e *data_gen_mon*, dado que já não é necessária a monitoração e geração de amostras I/Q no RE/RRH. Foi ainda necessário adicionar um componente GPIO ligado à entrada *no_of_samples* para que, o *pcore edk_dual_cpri* tenha a informação de quantos pares de amostras I/Q são inseridos em cada *basic frame*. O número de amostras indica a largura de banda do sinal banda base e condiciona a duração dos pulsos de *enable* do fluxo de transmissão (*mem_rd_enable_#*) e receção (*mem_wr_enable_#*), onde *#* representa o índice do canal I/Q. Nas figuras 5.6(a) e 5.6(b) verifica-se que, apesar do relógio *clk* marcar, respetivamente, os momentos de leitura e escrita, a largura de banda determina a quantidade de amostras debitadas durante um t_{chip} ou, com o mesmo significado, num *basic frame* CPRI. A relação entre o número de amostras em cada *basic frame*, a largura de banda do sinal e a frequência de amostragem a ela associada pode ser encontrada na tabela 2.3.

Para além dos periféricos e blocos de *hardware* mencionados anteriormente, outros módulos integram o projeto do XPS tais como o I2C (para configuração dos componentes do *front end*), agregador de interrupções, *reset* do sistema, DMA e controlador para a SDRAM. Estes dois últimos *cores* são necessários para as rotinas de teste de comunicação e leitura da DAC e ADC. De modo a acomodar as regiões de memória da aplicação que será discutida na secção 6.2.4, o tamanho da Block-RAM para dados e instruções do MicroBlaze foi definida em 256Kb. O *debug* do sistema é feito, por um lado, através de cinco blocos ChipScope *Integrated Logic Analyser* (ILA) inseridos na interface I/Q (receção e transmissão) e *Vendor Specific* do CPRI *Framer* e nas interfaces de dados dos *cores* da DAC e ADC. Por outro lado, a UART, a operar à *baudrate* de 57600bps, fornece informações quanto à configuração inicial do *front end*, aos comandos recebidos e à resposta enviada para o REC, pela interface de C&M.

Nas figuras D.1 e D.2, são apresentados os esquemáticos dos blocos de *hardware* usados na fase de implementação dos módulos REC e RE/RRH, respetivamente.

6.2.4 Componente de *Software*

A par da componente de *hardware*, o aplicação para o MicroBlaze sofreu as modificações necessárias para lidar com a presença do *front end* AD-FMCOMMS1-EBZ.

6.2.4.1 Configurações Iniciais

O programa que corre MicroBlaze começa por configurar a frequência de TX e RX, o ganho do VGA, e frequências de amostragem por defeito para a DAC e ADC, pois estas últimas dependem da largura de banda do *link* CPRI. São ainda feitos os testes de comunicação para a DAC e ADC, verificando a validade das configurações escolhidas. Para um correto funcionamento destes módulos, é escolhido o DMA como fonte de dados para a DAC e desativado o modo de teste para a ADC.

Devido à mudança do valor do *clock* de referência para o *front end* descrita no tópico 6.2.2, foi necessário proceder à modificação das configurações do AD9548. Assim, baseado nas informações do *datasheet* do componente, alterou-se o conteúdo dos registos do *Profile 1*, nomeadamente, o **Reference Period** (48 bits) expresso em femtossegundos (relativos à frequência de 30.72MHz). Para garantir que à saída (f_{DDS}) são gerados 122.88MHz que servem de referência para o AD9523-1, teve-se em conta a equação 6.1 [62].

$$f_{DDS} = \frac{f_R}{R+1} \cdot \left(S + 1 + \frac{U}{V} \right) \quad (6.1)$$

Sabendo que f_R é 30.72MHz, os coeficientes terão de assumir os valores: $R = 127$, $S = 511$ e $U = 0$ (o que torna o valor de V sem qualquer efeito).

Para concluir as configurações iniciais, são inicializados os periféricos Ethernet, e configurada a *line rate* inicial de 2457.6 Mbit/s para os *cores* CPRI (idêntica à do REC).

6.2.4.2 Modo de Operação

Após as configurações iniciais, a aplicação entra em modo de espera por comandos provenientes do REC verificando novos *frames* na interface de C&M. Certos comandos formam removidos devido à eliminação dos *cores* referida anteriormente. O comando que extrai o número de amostras I/Q introduzidas (`cmd_nsam`) foi modificado em relação ao original. Como já foi referido, o modo de indicar ao *core* do CPRI o número de amostras contidas em cada *basic frame* é agora realizado com um módulo de GPIO. Assim, a rotina de atendimento a este comando envia para o periférico `axi_gpio_no_of_samples` o valor recebido como argumento. Para além desta operação, é ainda re-definida a frequência de amostragem da DAC e ADC do *front end*. No caso da primeira, por um lado, tem-se que o relógio para leitura dado pela DAC é 4 vezes inferior à sua frequência de amostragem. Por outro, a dimensão da saída da FIFO de *downlink* é o dobro da entrada. Face a este dimensionamento, é possível estabelecer a seguinte relação: $\frac{f_s}{2} = \frac{f_{DAC}}{4}$. Deste modo, a frequência de amostragem da DAC é definida como $f_{DAC} = 2 \cdot f_s$. No caso da ADC, como as dimensões da entrada e da saída da FIFO usada no *uplink* são iguais, os relógios conservam a mesma relação, ou seja, $f_{ADC} = f_s$.

As configurações anteriores foram testadas, definindo as larguras de banda permitidas de 3MHz, 5MHz, 10MHz, 15MHz, 20MHz e 30MHz. As três primeiras representam f_s de 3.84MHz, 7.68MHz e 15.36MHz que não são suportadas pela ADC. Para este componente, o fabricante não garante o funcionamento ideal para taxas inferiores a 40 MSPS. A frequência de amostragem mais baixa foi de 23.04MHz, o que corresponde ao sinal de largura de banda de 15MHz. Outra limitação encontrada, foi o facto de para 15MHz e 30 MHz os relógios de escrita e leitura devolvidos pelos *cores* que fazem a interface com a DAC e ADC não serem os esperados. Esta ocorrência foi verificada por *debug* dado que as funções XCOMM, que definem as frequências de amostragem destes componentes, devolvem a frequência real. Por

exemplo, para a largura de banda de 15MHz, era esperado um relógio da DAC de 11.52MHz mas era devolvido 11.702MHz. A explicação prende-se pelo facto de que a DAC e ADC não conseguirem sintetizar o relógio pretendido a partir dos relógios de referência fornecidos pelo AD9523-1. Para dispor dos relógios pretendidos, foi necessário redimensionar os coeficientes da PLL e dos divisores do AD9523-1 com o auxílio da aplicação gráfica desenvolvida pelo fabricante para uso numa placa de avaliação baseada nesse componente [63]. O *Voltage Controlled Oscillator* (VCO) de referência foi mudado de 983.04MHz para 737.28MHz e o relógio de referência da DAC mudou de 491.52MHz para 737.28MHz. Os restantes relógios mantiveram-se por alteração dos coeficientes divisores de cada canal. Com o novo *clock* de referência, foi possível gerar os relógios de leitura apropriados para as larguras de banda de 15MHz, 20MHz e 30MHz.

Durante a realização dos testes, verificou-se que os comandos de C&M gerados no REC que impõem a chamada das funções que alteram as frequências de amostragem DAC e ADC levavam à receção de pacotes corrompidos. Por outras palavras, era devolvido um estado de *Reset* ou *Illegal Value* quando, na verdade, era lido o estado *Operational* na interface *Management* do *core* em questão. Para contornar este acontecimento adicionou-se um *delay*, no REC quando o comando `cmd_nsam` era chamado, de modo a não enviar outro comando durante um intervalo de 50ms.

6.2.5 Consumo de Recursos

De modo a finalizar a secção relativa à implementação da plataforma apresentada neste documento, são dispostos na tabela 6.1 os níveis de utilização de alguns dos recursos da FPGA Virtex-6, recolhidos no relatório de *Place and Route* do XPS. Como é possível observar, foram contemplados os projetos do REC e do RE/RRH.

Recurso	Utilizado	Total	Percentagem
Slice LUT	27 462	150 720	18%
MMCM_ADV	6	12	50%
GTXE1	2	20	10%
DSP48E1	4	768	1%

(a) Consumo de recursos no REC.

Recurso	Utilizado	Total	Percentagem
Slice LUT	37 280	150 720	24%
MMCM_ADV	5	12	41%
GTXE1	2	20	10%
DSP48E1	38	768	4%

(b) Consumo de recursos no RE/RRH.

Tabela 6.1: Níveis de utilização de recursos internos das FPGAs dos módulos da plataforma desenvolvida.

Estes dados permitem tirar conclusões quanto à complexidade do sistema implementado, à possibilidade de se lhe adicionar funcionalidades, e à eventual portabilidade do projeto para outro dispositivo.

6.3 Validação

A validação das componentes de *hardware* e *software* do demonstrador desenvolvido envolve a verificação no ChipScope Pro de *waveforms* e a operação com a aplicação gráfica fornecida no *Reference Design CPRI Multi-Hop* (figura 5.7). Contudo, nem todos os campos da aplicação gráfica podem agora ser considerados válidos dado que foram removidos componentes no RE/RRH que serviam para a contagem de erros e medição de atrasos. Deste modo, a aplicação gráfica é utilizada para as tarefas de carregamento de amostras em memória, escolha da sequência *Vendor Specific* e para C&M como a monitoração do estado do *link*, a escolha da *line rate* e da largura de banda.

Numa primeira fase, a validação consistiu no *loopback* do sinal RF no *front end*. Assim, foi possível testar as cadeias de *downlink* e *uplink* podendo receber no REC as amostras após completar as mesmas. As *line rates* validadas correspondem a 614.4 Mbit/s, 1228.8 Mbit/s, 2457.6 Mbit/s e 4915.2 Mbit/s. Para esta última, foram verificadas as larguras de banda de 15MHz, 20MHz, e 30MHz, por canal I/Q.

Quanto ao fluxo *Vendor Specific*, foram obtidos os mesmos resultados da figura 5.8 quando foi realizada a validação da implementação do *fronthaul* no tópico 5.3.

No que diz respeito à interface I/Q do CPRI, os resultados desta fase consistem na verificação de um sinal complexo, correspondente a um tom de frequência, previamente gerado em MATLAB® (em formato de complemento para 2). Esta experiência foi realizada considerando uma largura de banda de 20MHz e com a *line rate* de 4915.2 Mbit/s. A figura 6.5, mostra as *waveforms* adquiridas à saída do bloco CPRI Framer no REC. As amostras são aqui observadas, à custa de um bloco FIFO adicional para visualização de *waveforms* de forma contínua, o que não é possível na interface de receção do CPRI. Deste modo, foi possível validar os módulos de *hardware* introduzidos para a cadeia de *downlink* e *uplink*, assim como as configurações e o *software* do MicroBlaze que integra o RE/RRH do demonstrador cuja implementação tem vindo a ser descrita desde o capítulo anterior.

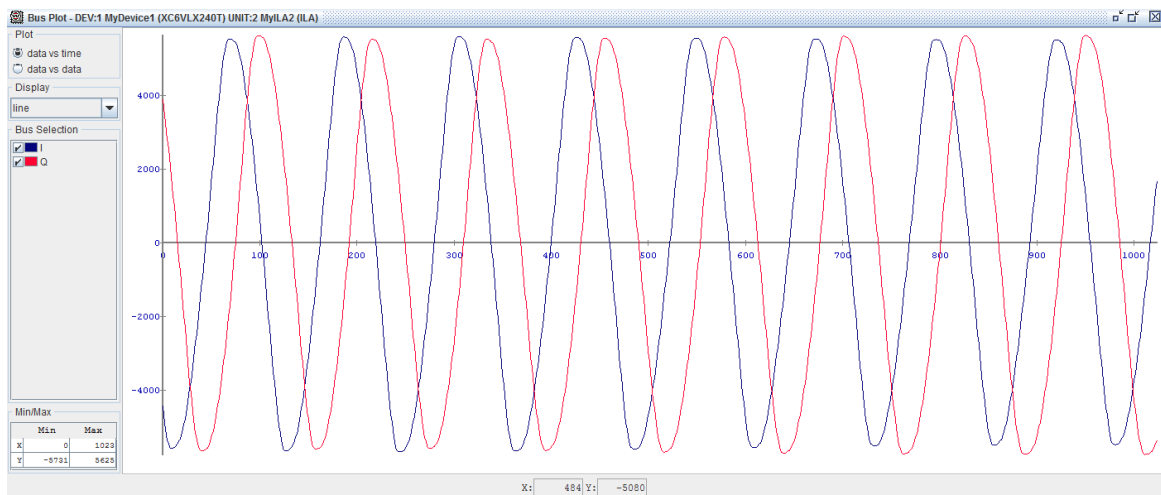


Figura 6.5: *Waveforms* recolhidas na interface I/Q do CPRI para validação do sistema desenvolvido.

Numa segunda fase, foram gerados sinais em MATLAB®, com diferentes modulações e larguras de banda para medição das propriedades do sinal transmitido no VSA do laboratório.

Foi igualmente usada a aplicação gráfica para injeção das amostras.

Com a integração do *front end* analógico, ficou concluída a implementação em *kits* de desenvolvimento do demonstrador, cuja montagem laboratorial é apresentada na figura D.3. No próximo capítulo, são apresentados os resultados obtidos em laboratório referentes ao sinal transmitido e à latência do sistema.

Capítulo 7

Resultados

Após a implementação do sistema, são, neste capítulo, apresentadas as medições efetuadas para caracterizar a qualidade de sinal transmitido pela demonstrador desenvolvido. São ainda expostos os resultados do cálculo da latência.

7.1 Qualidade do Sinal

As medições que permitem avaliar a qualidade do sinal RF transmitido pelo RE/RRH foram obtidas no VSA do laboratório, *Rohde&Schwarz FSQ Signal Analyzer 20Hz-8GHz*. Pretende-se analisar o espectro do sinal de saída e verificar a constelação complexa para as diferentes modulações consideradas. O *setup* laboratorial é apresentado da figura 7.1.

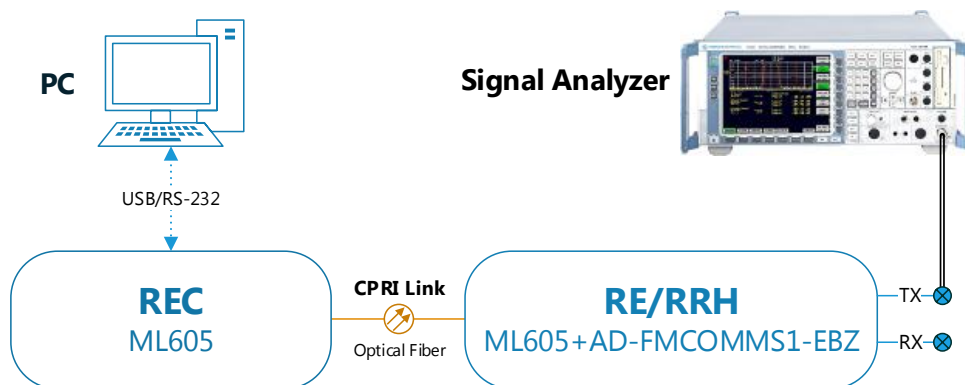


Figura 7.1: *Setup* laboratorial usado para a medição da qualidade do sinal transmitido pelo demonstrador.

O diagrama da figura 7.2 mostra o processo de geração das *waveforms* em MATLAB®. Os sinais banda base considerados possuem as modulações QPSK, 16-QAM e 64-QAM que correspondem às usadas no LTE e cujas constelações são apresentadas na figura A.4. É também incluído o bloco de formatação de impulso para redução da interferência entre símbolos com um filtro *Root Raised Cossine* (RRC) com *roll-off* fixo de 0.25.

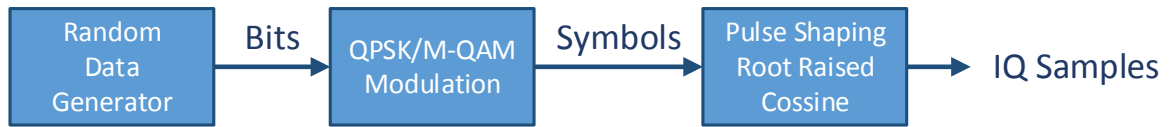


Figura 7.2: Diagrama de blocos do gerador de amostras I/Q implementado em MATLAB®.

7.1.1 Espectro do Sinal da Saída

As medições apresentadas neste subtópico permitem verificar a forma do sinal na frequência, nomeadamente, a sua largura de banda e as componentes imagem originadas no processo de conversão realizado pela DAC. Para avaliar o andar de RF do RE/RRH, foram considerados sinais que exploram a máxima largura de banda permitida por canal I/Q do CPRI.

Nas figuras 7.3 e 7.3, foi definida a frequência central de 2.4GHz, varrimento de 100MHz, *resolution bandwidth* de 30kHz e potência de referência de 6dBm. Foi ainda incluído um atenuador de 10dB à entrada do analisador. Tal como os testes realizados na secção 6.1.2, foi definida a frequência TX de 2.4GHz.

- Espectro do sinal, portadora de 2.4GHz e largura de banda de 14.4MHz

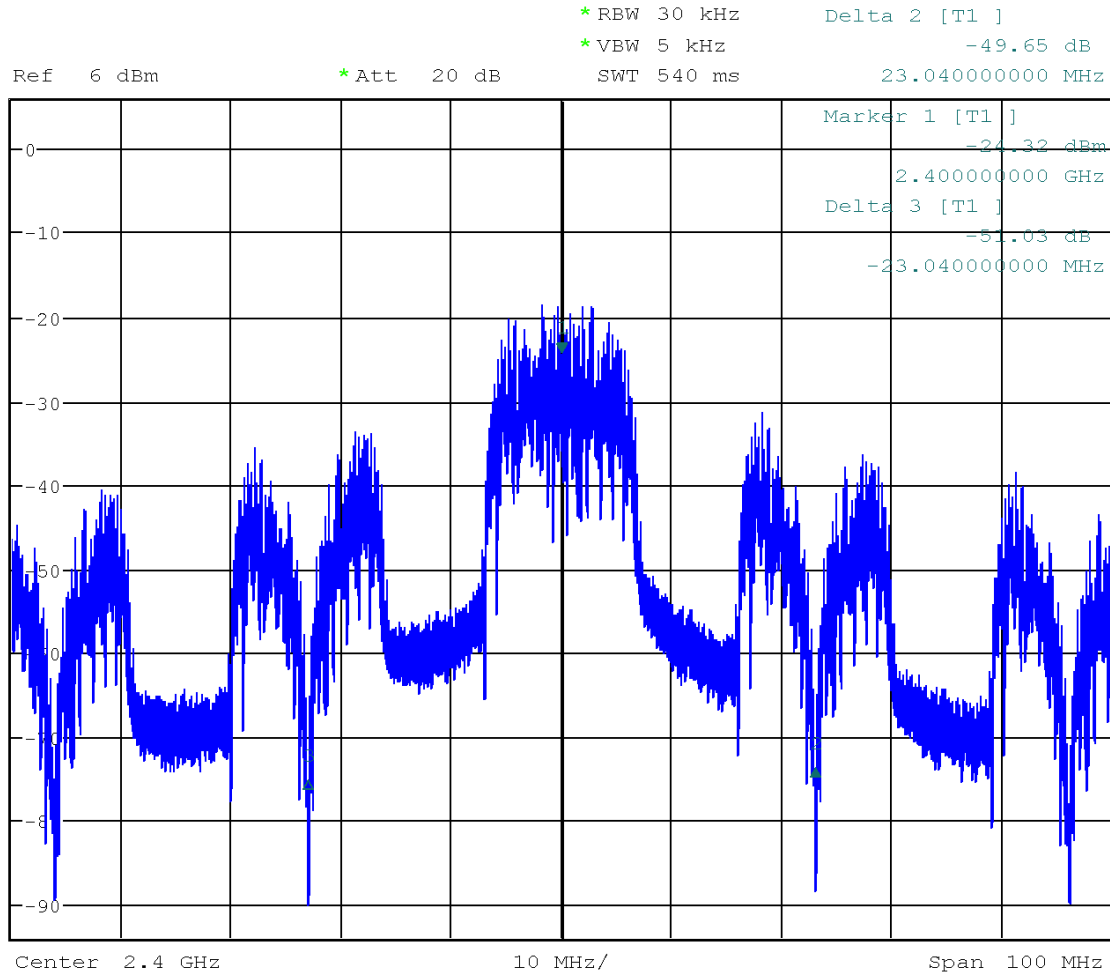


Figura 7.3: Espectro do sinal transmitido de 14.4MHz de largura de banda.

O sinal da figura 7.3 foi obtido com com um *link* CPRI de 15MHz (por canal) à *line rate* de 4915.2 Mbit/s. A frequência de amostragem da DAC é, neste caso, 46.08 MSPS. O espectro obtido vem confirmar a presença de bandas imagem centradas em 23.04MHz. É também perceptível a função *sinc()* que modela o espectro deste sinal, com nulos em múltiplos de $f_s/2$. Recorrendo às funções de *Channel Power* do VSA, foi ainda calculada a potência da banda central de 10.12dBm.

- Espectro do sinal, portadora de 2.4GHz e largura de banda de 19.2MHz

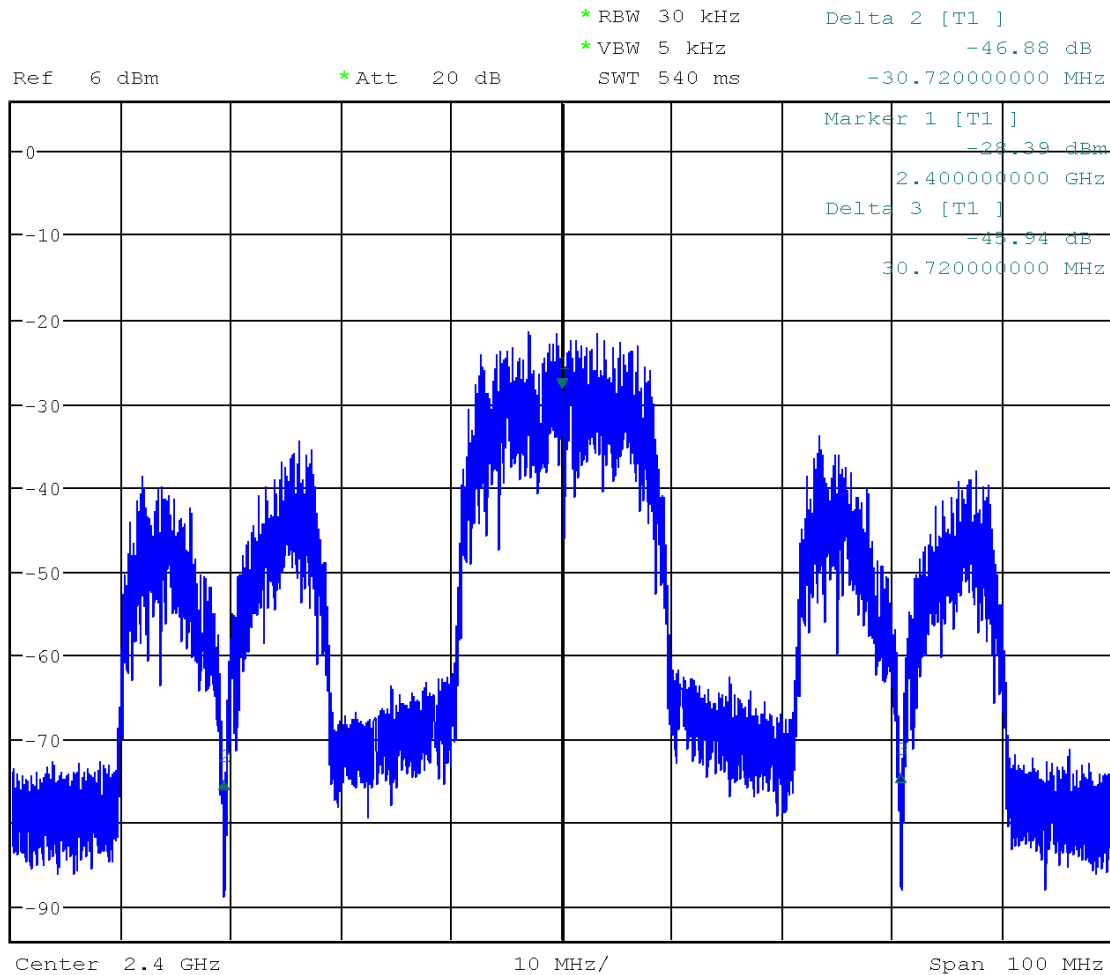


Figura 7.4: Espectro do sinal transmitido de 19.2MHz de largura de banda.

De forma análoga à anterior, a figura 7.4 apresenta o espectro do sinal com o *link* de 20MHz. Nesta experiência, como a taxa de amostragem da DAC se situa em 61.44 MSPS, as imagens encontram-se centradas na frequência da portadora ± 30.72 MHz. A potência da banda central obtida foi de 10.19dBm.

7.1.2 Constelação Complexa

O VSA permite a visualização dos símbolos transmitidos, após a desmodulação interna. Assim, são medidos os indicadores de EVM entre outros. São de seguida apresentados os resultados obtidos para as modulações consideradas.

- Modulação QPSK, sinal com portadora de 2.4GHz e largura de banda e 19MHz

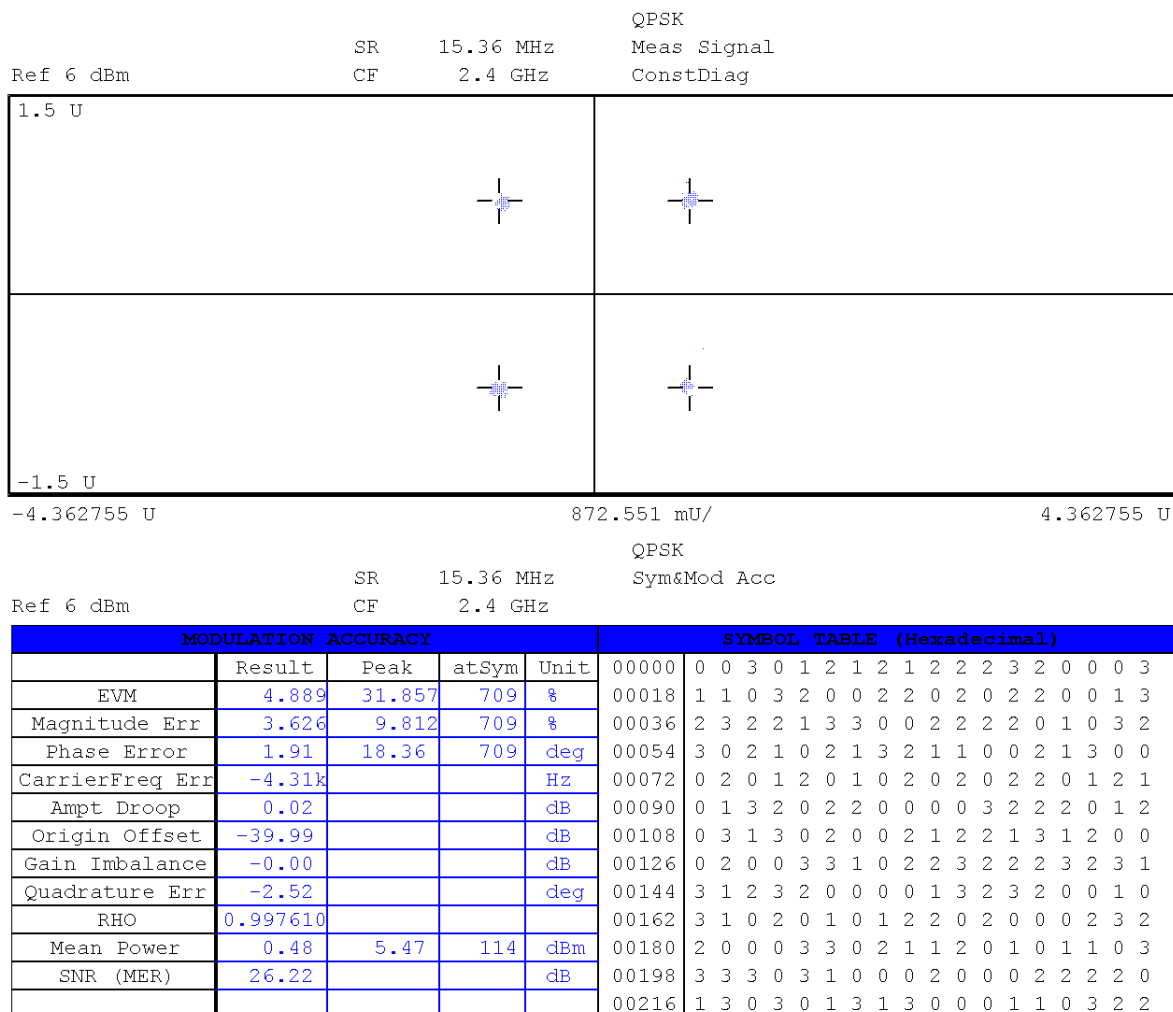


Figura 7.5: Constelação e medidas da qualidade da modulação QPSK.

- Modulação 16-QAM, sinal com portadora de 2.4GHz e largura de banda e 19MHz

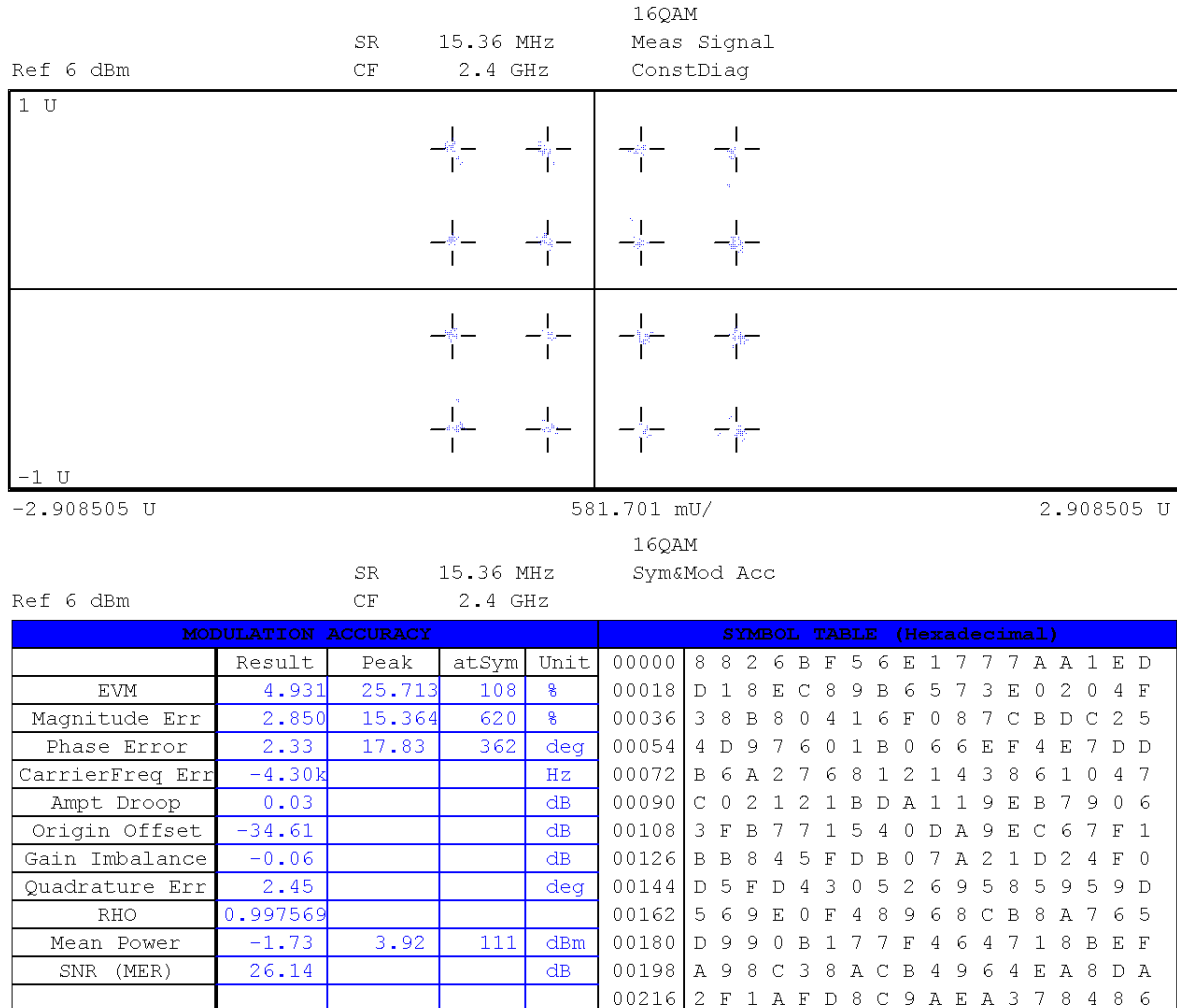


Figura 7.6: Constelação e medidas da qualidade da modulação 16-QAM.

- Modulação 64-QAM, sinal com portadora de 2.4GHz e largura de banda e 19MHz

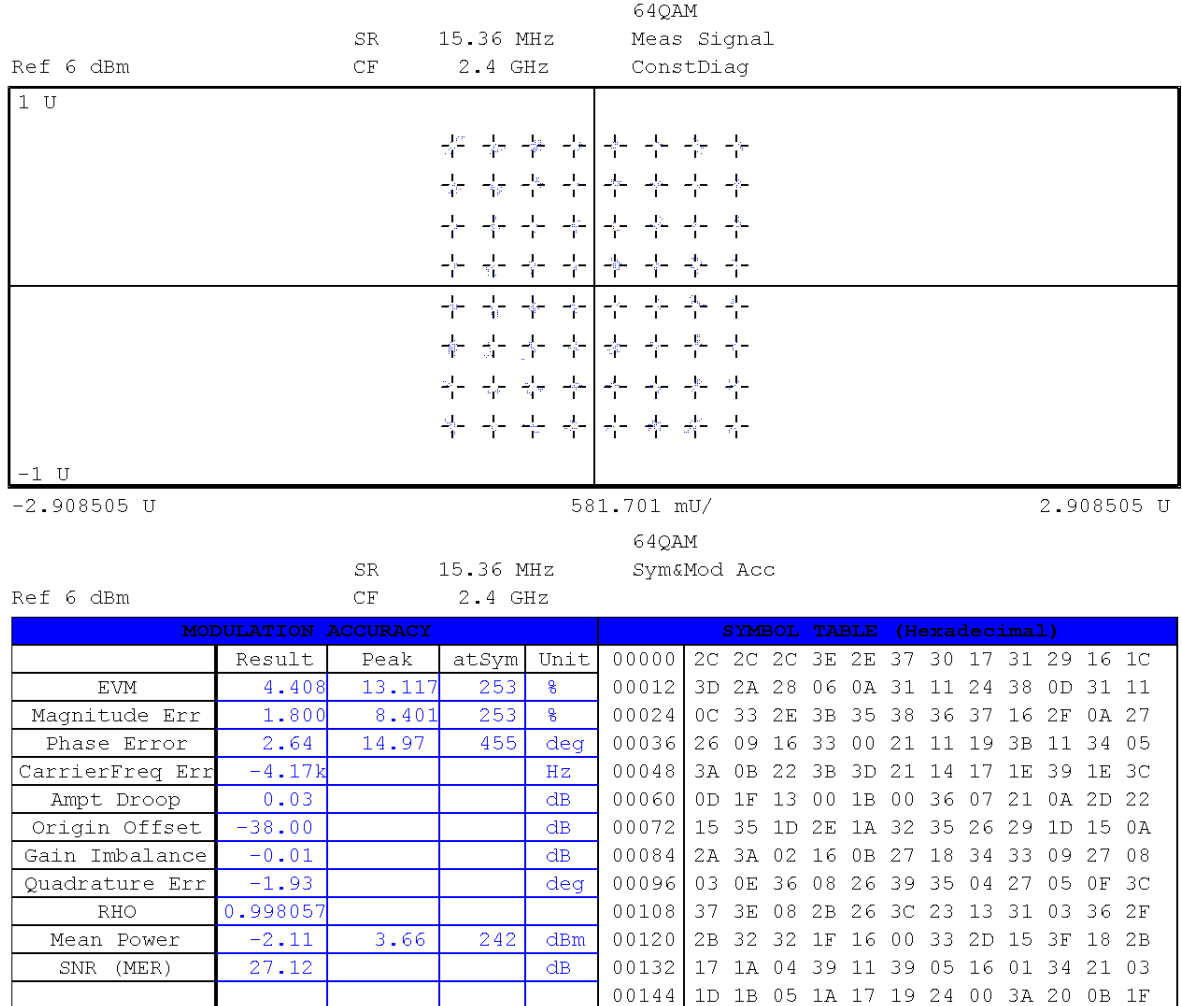


Figura 7.7: Constelação e medidas da qualidade da modulação 64-QAM.

Para obter as constelações das figuras 7.5, 7.6 e 7.7 foi usado um sinal de 19.2MHz de largura de banda, na situação da *line rate* a 4915.2 Mbit/s com 20MHz por canal. Foi fixado o nível da potência de referência em 6dBm e usada a taxa de símbolos de 15.36MHz. O EVM obtido é de 4.889% para QPSK, 4.931% para 16-QAM e 4.408% para 64-QAM. Outra medição a destacar é o SNR obtida. No caso do QPSK, situa-se em 26.22dB, para o 16-QAM em 26.14dB e 27.12dB para a modulação 64-QAM. O valor da SNR é afetado pela ocorrência de *I/Q Imbalance* que foi verificado secção 6.1.2. Foi ainda possível confirmar que um EVM mais elevado implica menor SNR. Porém, apesar dos valores para estas duas figuras de mérito apresentarem valores idênticos para as modulações consideradas, é necessário ter em conta as propriedades de cada uma. As curvas teóricas que relacionam a SNR com a probabilidade de erro permitem concluir que, para mesma relação sinal-ruído, a modulação QPSK conduz a menos erros no recetor que a modulação 16-QAM, sendo a 64-QAM que apresenta o pior desempenho [64].

7.2 Latência do Sistema

Para além dos resultados que permitem aferir quanto à qualidade do sinal, apresentados no tópico anterior, também a latência é um importante parâmetro na definição do desempenho da plataforma que tem vindo a ser apresentada. Aqui, pretende-se calcular o atraso introduzido pela componente digital, implementada na FPGA, assim como da ligação de fibra ótica.

Em primeiro lugar, as medições da latência têm por base a *Unit Interval* (UI), também chamada de tempo de pulso ou duração de símbolo. A UI define-se como o menor intervalo de tempo entre as mudanças de estado do sinal digital. Por exemplo, numa linha de transmissão série a operar à opção 3 do CPRI, tem-se $UI = 1/2.5476 \times 10^9 = 406.9ps$.

As medições de latência aqui efetuadas para o demonstrador seguem os pressupostos referidos no capítulo 4, num cenário de uma ligação a 4915.2 Mbit/s, onde a UI é de 203.45ps, sendo a largura de banda do canal I/Q de 20MHz. Do ponto de vista do eNB, o tempo de *round-trip* (T_{RTT}) dos dados I/Q seria determinado desde a saída do gerador no REC até que retornem novamente a esse ponto. Contudo, a convenção aqui adotada para o T_{RTT} segue o ponto de vista do UE, sendo que esse intervalo de tempo pode ser decomposto numa soma da tempos parciais dada pela equação 7.1.

$$T_{RTT} = T_1 + T_2 + T_3 + T_4 + T_5 + T_6 + T_7 + T_9 \quad (7.1)$$

A figura 7.8 permite visualizar os tempos parciais cujas definições são mencionadas de seguida.

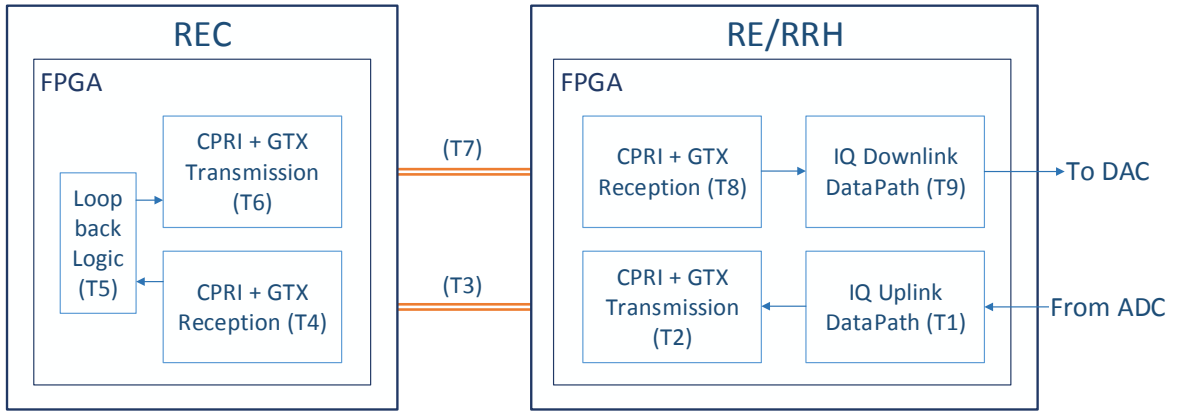


Figura 7.8: Diagrama dos blocos envolvidos no cálculo do *round trip time* do sistema.

A parcela T_1 é relativa ao intervalo de tempo que compreende o início da transmissão de amostras I/Q que chegam pela ADC e saída das mesmas para o *core* CPRI. O elemento FIFO usado para o *uplink* é responsável pela adição de atraso nesta etapa. Por outro lado, o T_9 representa a latência introduzida pela FIFO pela qual passa o fluxo de dados de *downlink* após sair do *core* CPRI.

Seguidamente, T_2 representa o atraso no *core* CPRI **Framer** no caminho da transmissão, que inclui o módulo de multiplexagem de canais I/Q, a instância *slave* do CPRI e o *transceiver* GTX. O valor de T_2 é então dado pela equação 7.2.

$$T_2 = T_{igt\!x} + 20 + T_{core\!tx} + T_{tran\!stx} [UI] \quad (7.2)$$

O tempo T_3 tal como o T_7 representam o atraso imposto pela fibra ótica, considerando a relação de $5\mu s/Km$. Assim, tendo em conta que os cabos óticos usados têm a dimensão de 2m, calculou-se um atraso de 10ns, ou ≈ 49.15 [UI], em cada sentido.

Tal como o T_2 , também o T_4 representa a latência devido ao *core* que implementa a interface CPRI, com a diferença de agora se considerar o caminho de receção. A sua expressão é dada pela equação 7.3.

$$T_4 = T_{transrx} + \text{Barrel Shift} + T_{corerx} + \text{CDC FIFO transit time} + T_{igrx} \text{ [UI]} \quad (7.3)$$

O valor de T_5 depende da lógica usada para realizar o *loopback* do fluxo de informação no REC. Os restantes tempos T_6 (equação 7.4) e T_8 (equação 7.5) partilham a mesma definição já mencionada para o T_2 e T_4 , respetivamente.

$$T_6 = T_{iqtx} + 20 + T_{coretx} + T_{transtx} \text{ [UI]} \quad (7.4)$$

$$T_8 = T_{transrx} + \text{Barrel Shift} + T_{corerx} + \text{CDC FIFO transit time} + T_{igrx} \text{ [UI]} \quad (7.5)$$

Apesar de no capítulo anterior não se ter dado relevância ao cálculo do atraso no sistema, a secção *Delay Measurement and Requirement 21 (R21)* do *User Guide* do *core* CPRI, assim como o *Reference Design CPRI Multi-Hop* contém indicações para a determinação desse atraso, que se mantêm válidas na obtenção de certas latências da plataforma desenvolvida. Nesses documentos, extrai-se que $T_{transtx}$ e $T_{transrx}$ são atrasos fixos impostos pelos *transceivers* GTXE1 de valor 100 UI e 200 UI, respetivamente. De forma semelhante, T_{coretx} e T_{corerx} são atrasos fixos derivados da lógica da FPGA usada para os caminhos de transmissão e receção do *core* CPRI valendo, respetivamente, 40 UI e 80 UI [50].

Dependentes da largura de banda do sinal estão T_{iqtx} , dado pela expressão da equação 7.6, e T_{igrx} , obtido pela fórmula da equação 7.7.

$$T_{iqtx} = 20 \times (2 \times \text{no_of_samples}) \text{ [UI]} \quad (7.6)$$

$$T_{igrx} = 20 \times ((3 \times \text{no_of_samples}) + \text{codeword_offset} + 1) \text{ [UI]} \quad (7.7)$$

O termo **no_of_samples** deriva do número de amostras em cada *basic frame* logo dependente da largura de banda. Por outro lado, **codeword_offset** indica o desvio dos dados I/Q em relação à sinalização **basic_frame_first_word** devido à palavra de controlo (CW) que é inserida no início do *basic frame* CPRI com dimensão T_{CW} .

As restantes parcelas (*Clock Domain Crossing* (CDC) *FIFO transit time* e *Barrel Shifter*) são medidas durante a transmissão de amostras I/Q, isto é, obtidas através interface *Management* do *core* CPRI, no registo *R21 Timers*.

Para a situação de um *link* a 4915.2 Mbit/s e sinal de 20MHz por canal, tem-se $\text{no_of_samples} = 8$ e $\text{codeword_offset} = 3$. Assim, os valores para os tempos parciais são apresentados nas equações 7.8 e 7.9.

$$T_2 = T_6 = 320 + 20 + 40 + 100 = 480 \text{ [UI]} \quad (7.8)$$

$$T_4 = T_8 = 200 + 15 + 100 + 80 + 1323 + 560 = 2178 \text{ [UI]} \quad (7.9)$$

Falta apenas a indicação dos atrasos devidos às FIFOs de *downlink*, *uplink* e *loopback*. Para tal, foram realizadas medições da ocupação das mesmas pois o atraso irá depender desse indicador. Como já foi referido, o bloco `fifo_fsm` coloca esta ocupação em níveis longe dos limites. Na FIFO de *downlink*, foi medida uma ocupação média de 20 do lado da escrita, ou 10 do lado da leitura, devido ao rácio entre as dimensões. Assim, na situação de 20MHz, tem-se um relógio de leitura de 15.36MHz, com período de 65.1ns, ou cerca de 320 UI. Para encontrar o atraso basta multiplicar pela ocupação média de 10, resultando em 3200 UI para T_9 . O mesmo se verifica nas FIFOs de *uplink* e *loopback*, mas agora com o relógio de 30.72MHz, com período de 160 UI. Seguindo o mesmo raciocínio do caso anterior, tem-se T_1 e T_5 com o valor de 3200 UI (ocupação média de leitura de 20).

A tabela 7.1 resume os cálculos parciais assim como o resultado da latência total, segundo a convenção tomada.

Tempo	Valor [UI]
T_1	3200
T_2	480
T_3	49.15
T_4	2178
T_5	3200
T_6	480
T_7	49.15
T_8	2178
T_9	3200
T_{RTT}	15014.3

Tabela 7.1: Medições para o cálculo da latência do sistema para a *line rate* de 4915.2 Mbit/s @ 20 MHz

Uma vez que, para a *line rate* de 4915.2 Mbit/s, a UI é de 203.45ps, a latência estimada para todo o sistema é de, aproximadamente, $3.054\mu s$. Os valores parciais da tabela 7.1 permitem concluir que as principais fontes de atraso no sistema são as FIFOs de conversão de domínios de relógio. Esta latência é tanto maior quanto for a ocupação média das mesmas.

Os resultados expostos ao longo deste capítulo, permitem retirar conclusões sobre o demonstrador desenvolvido. Essa análise crítica é apresentada no próximo capítulo.

Capítulo 8

Conclusões

Neste documento, foi apresentado um demonstrador aplicável ao paradigma C-RAN. Para tal, foram considerados dois módulos principais, desenvolvidos em sistemas reconfiguráveis, que procuraram representar a interação entre a BBU e a RRH, através de ligação por fibra ótica. Neste último capítulo, é feita uma análise à plataforma desenvolvida e mencionados pontos que poderão ser alvo de futuro aprofundamento.

A atualização do *Reference Design* da XAPP1132 permitiu dispor das suas funcionalidades na versão mais recente das ferramentas ISE/XPS da Xilinx. O objetivo de enviar sinal banda base através de um *link* de fibra ótica com posterior conversão no domínio analógico foi alcançado com sucesso. A lógica desenvolvida para interface entre domínios de relógio assim como a interface CPRI, ao nível do *U-Plane*, mostraram a fiabilidade na transferência de dados I/Q e *Vendor Specific*. Do mesmo modo, a interface de C&M permitiu a configuração de parâmetros a partir da aplicação gráfica como a *line rate* e largura de banda do sinal no *link*. Foi ainda possível a leitura de indicadores de *status* do RE/RRH a partir do REC. Esta última característica assume especial importância em situações que requerem uma monitoração e controlo das unidades remotas. Assim, foram comprovadas as potencialidades da interface CPRI no desenvolvimento de equipamentos interoperáveis para *base stations*. Foi, igualmente, explorado o AD-FMCOMMS1-EBZ na conversão do sinal banda base em analógico e vice-versa. Para este protótipo, o *front end* implementou, de forma simples e configurável, o andar de RF, com a amostragem feita em banda base.

Os resultados apresentados no capítulo anterior permitiram validar a solução desenvolvida e avaliá-la ao nível de qualidade de sinal transmitido e do atraso adicionado.

No que toca ao espectro do sinal de saída, observou-se a existência de bandas imagem. Por esta razão não foram efetuadas as medições do ACLR. Estas bandas, originadas aquando do processo de conversão de sinal digital para o domínio analógico, não são filtradas dado o propósito *wideband* do AD-FMCOMMS1-EBZ. Uma solução para a eliminação destas componentes espúrias, passaria por popular o filtro passa-baixo, existente na placa do *front end*, antes do modulador ADL5375. Porém, esta solução foi evitada, de modo a não comprometer o *front end* a uma aplicação única, e ainda, a não provocar o desgaste do mesmo. Uma alternativa possível passa por elevar a frequência de amostragem da DAC de modo a que as bandas imagens, centradas em $f_{DAC}/2$, se afastassem do sinal de banda estreita desejado. Para tal, seria necessária a implementação de um bloco interpolador seguido de um filtro passa-baixo na FPGA, permitindo que a DAC operasse a uma taxa superior. Contudo, este procedimento não evitaria o uso de um filtro passa-banda, mas neste caso, os

requisitos em termos de separação entre as bandas de passagem e rejeição são menos estritos. Adicionalmente, no caso da ADC, foi verificada a limitação relativa a taxas de amostragem inferiores a 20 MSPS, o que impossibilitou a validação de sinal com 3MHz, 5MHz e 10MHz de largura de banda. Este obstáculo seria resolvido com recurso a um bloco decimador que permitiria definir frequências de amostragem superiores para a ADC, mantendo as taxas requeridas pela interface CPRI.

Na secção relativa à medição da constelação do sinal desmodulado no VSA, para as três modulações consideradas, o EVM situou-se entre os 4.4 e os 4.9%, aproximadamente. Fatores como a diferença entre os caminhos dos sinais I e Q ao nível da fase e ganho têm influência na transmissão de símbolos e, conseqüentemente, no EVM. Os valores obtidos encontram-se abaixo dos indicados na tabela 3.3 para as modulações usadas no LTE. Contudo, a comparação não pode ser estabelecida de forma tão direta uma vez que as amostras geradas pelo processo indicado no diagrama da figura 7.2 não contemplaram a modulação OFDM usada na cadeia de *downlink* do LTE. A SNR obtida encontra-se relacionada com este indicador e permite igualmente avaliar a qualidade do sinal transmitido. Foram medidas SNR entre os 26.14 e os 27.12 dB. Este parâmetro é importante do lado do recetor, pois são necessárias relações mínimas entre a potência do sinal e a potência do ruído para que a receção do sinal ser processe de forma correta. Tal como no caso do EVM, as medições obtidas servem apenas de referência. Uma maneira com vista a melhorar estes indicadores, seria a exploração das opções de calibração da DAC (e da ADC no caso da receção) do *front end*.

Quanto à medição da latência da componente digital, como já foi referido, o *datapath* do *core* CPRI introduz atraso que é tanto maior quanto maior for a largura de banda do sinal a transmitir. Porém, são as FIFOs de conversão de domínio de relógio que introduzem maior latência. Como foi referido anteriormente na secção 6.2.1, o componente *fifo_fsm* garante que os níveis de ocupação das FIFOs usadas no caminho de *downlink* e *uplink* não se aproximam dos extremos, evitando a ocorrência de situações de *overflow* e *underflow*. Contudo, é provocado um efeito considerável na latência total do sistema. De modo a comparar com as considerações feitas em 2.2.2.1 sobre a latência no *fronthaul*, é necessário ter em conta que a ligação entre o REC e o RE/RRH é apenas de 2m. Uma distância mais realista de, por exemplo, 10Km tornaria $T_3, T_7 = 100\mu s$. Por outras palavras, a latência da componente digital teria peso menor em situações de maiores distâncias.

8.1 Trabalho Futuro

Após uma análise crítica à plataforma desenvolvida, alguns pontos poderão resultar em futuras linhas de trabalho requerendo especial enfoque.

No DFE da RRH do demonstrador, é assumida a digitalização de sinal em banda base, logo sem os mecanismos de conversão para/de IF e de SRC implementados no domínio digital, como a DUC e DDC, respetivamente. A inclusão destes dois blocos digitais permitirá adicionar as vantagens da digitalização em IF. Em alternativa, pode-se optar pelo uso de filtros FIR para realizar a interpolação antes da DAC e decimação após a ADC. Em ambas as soluções, elimina-se a dependência das frequências de amostragem da DAC e ADC da largura de banda do sinal.

Ainda na componente digital, a inclusão dos mecanismos de DPD e CFR poderiam melhorar a qualidade do sinal transmitido, estando, contudo, dependentes das características do PA escolhido para amplificação do sinal transmitido.

A interface gráfica fornecida com a XAPP1132, em conjunto com o ChipScope Pro, permitiu testar as interfaces I/Q, *Vendor Specific* e de C&M do CPRI. O desenvolvimento de uma aplicação baseada nesta permitiria concentrar as funcionalidades mais relevantes e introduzir novos comandos de C&M como, por exemplo, a configuração em *runtime* de parâmetros do *front end* analógico.

O desenvolvimento da plataforma em dispositivos FPGA mais recentes traria vantagens relevantes. Tendo em conta a oferta da Xilinx, a série Kintex-7 oferece, devido ao processo de fabrico mais recente (litografia de 28nm contra os 40nm da Virtex-6), melhor relação custo-desempenho do que os utilizados neste trabalho [65]. Consequentemente, seria recomendado o *update* dos projetos desenvolvidos para a ferramenta Vivado, de modo a dispor de maior suporte e dos IP *Cores* mais recentes. A inclusão de um *core* CPRI baseado numa versão mais recente da especificação, tornaria possível o uso de, por exemplo, *line rates* mais elevadas.

Para que o sistema se aproximasse das atuais soluções comerciais é necessário o acréscimo de um AFE mais elaborado. A fase de amplificação do *front end* analógico assume apenas o propósito de demonstração do conceito, sendo necessário, para a transmissão, um PA de elevada potência de saída e eficiência, assim como um LNA na receção de sinal. A inclusão de uma antena possibilitaria a propagação no meio livre e completaria a plataforma estando assim comparável às RRHs comerciais.

Uma última melhoria, passaria pela aplicação de um algoritmo de compressão de dados I/Q com vista aumento da capacidade de dados de utilizador da interface CPRI.

Apêndices

Apêndice A

Camadas Protocolares do LTE

De modo a melhor entender o processamento de dados realizado nas *base stations*, e também como é estabelecida a ligação com as camadas superiores da rede e com os UEs, apresenta-se de seguida a *stack* protocolar dos eNB do LTE.

A.1 Caraterização do *Evolved Node B*

Em cada eNB é implementada a interface rádio do sistema LTE que consiste em três camadas, como demonstra a figura A.1. Seguindo o modelo OSI, a L3 corresponde à camada de rede, a L2 à camada da ligação/acesso ao meio e a L1 especifica a camada física do protocolo.

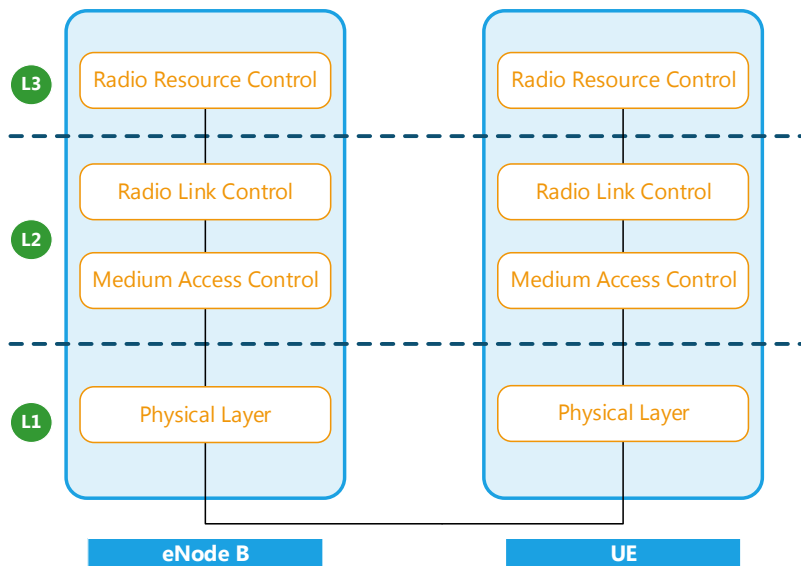


Figura A.1: *Stack* protocolar do eNB e UE para o LTE.

No esquema da figura A.1, é possível identificar as seguintes camadas:

- *Radio Resource Control* (RRC) - *Layer 3* - Protocolo de controlo. As funções principais são a difusão de informações sobre recursos, paginação, gestão da ligação, funções para *handover*, configuração e *reporting*.

- *Radio Link Control (RLC) - Sublayer 2* - É a camada responsável pela segmentação e gestão de retransmissões *Automatic Repeat reQuest (ARQ)*. Ao contrário dos sistemas 3G, a *layer RLC* é implementada nos eNB.
- *Medium Access Control (MAC) - Sublayer 2* - Tem a função de *scheduling* dos recursos da cada física tanto no *downlink* como no *uplink*. Implementa o mecanismo para correção de erros HARQ e apresenta à camada superior serviços na forma de *Logical Channels* e à camada inferior os *Transport Channels*.
- *Physical Layer (PHY) - Layer 1* - Aqui é feito o mapeamento dos *Transport Channels*, da camada superior, em *Physical Channels*, assim como algoritmos de correção de erros, modulação, codificação etc.

Os canais acima mencionados transportam diferentes tipos de informação. Um *Logic Channel* diz o tipo de informação em transferência, os *Transport Channels* informam acerca de como e com que características os dados são transferidos e, por fim, os *Physical Channels* constituem os recursos de tempo-frequência usados para transferir os dados.

A.2 Camada Física

É na camada física que é feito o processamento de mais baixo nível dos sistemas de comunicação, como a modulação e desmodulação, codificação e decodificação, correção de erros, equalização e técnicas de *interleaving* e *scrambling*. Aqui são servidos os canais para a camada superior - *Transport Channels* - e são estabelecidos os canais de transmissão de dados de utilizador e sinalização - *Physical Channels* - através da ligação rádio.

A.2.1 Modulações OFDMA e SC-FDMA

A figura A.2 apresenta o diagrama de blocos do processamento da camada física efetuado nos sistemas LTE. No *downlink*, de modo a tirar partido da diversidade multi-utilizador e por permitir alta flexibilidade na alocação de recursos rádio, é usado o OFDMA, baseado em OFDM. O primeiro passo consiste na modulação QPSK e/ou M-QAM, com $M \in \{16, 64\}$, da qual saem os símbolos que representam as subportadoras OFDM, espaçadas 15kHz entre si. Um esquema de modulação com M mais elevado melhora o *throughput* pois transporta mais informação (mais bits/símbolo). Contudo, a robustez a interferências e ruído do canal de transmissão diminui (aumento da probabilidade de erro na receção devido ao aumento da proximidade dos símbolos na constelação).

De seguida, a informação das subportadoras segue para o OFDM *framing*. Aqui é usado o algoritmo *Discrete Fourier Transform (DFT)* (implementação da *Fast Fourier Transform (FFT)*) que converte amostras no domínio do tempo para o domínio da frequência. No caso do modulador OFDM, é feita a operação inversa, a *Inverse Fast Fourier Transform (IFFT)*, que passa informação na frequência para amostras no domínio do tempo. Tanto a FFT como a IFFT têm um tamanho associado, N_{FFT} , que irá estar relacionado com a largura de banda e frequência de amostragem do sistema, como se pode verificar na tabela 2.3. Assim, o bloco que implementa o algoritmo *Inverse Discrete Fourier Transform (IDFT)* produz dados em série no domínio do tempo que correspondem a subportadoras ortogonais, logo sem interferência entre si, conseguindo um melhor aproveitamento espectral. Estas N_{FFT} subportadoras, constituem o símbolo OFDM/OFDMA, cada um com a duração de $1/15kHz = 66.67\mu s$. É posteriormente

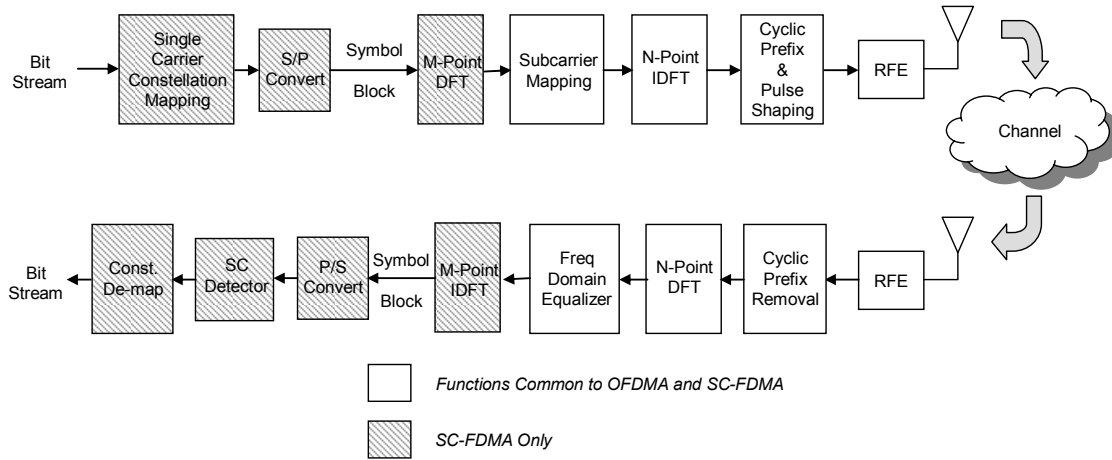


Figura A.2: Diagrama de blocos da estrutura do emissor e recetor LTE, retirado de [66].

adicionado um *Cyclic Prefix* (CP) (cópia da última porção do símbolo OFDM), de modo a garantir bandas de guarda que salvaguardam as interferências que poderão ocorrer devido a atrasos. Num recetor, são realizadas as operações por ordem inversa sendo que agora é usada a DFT para reconstruir a informação das subportadoras a partir de dados recebidos no domínio do tempo. A modulação usada no sentido *uplink* é a *Single-Carrier Frequency Division Multiple Access* (SC-FDMA), pois, o OFDM conduz a sinal com elevado PAPR que, nos terminais móveis degrada com maior rapidez a autonomia dos mesmos. Com o método SC-FDMA, consegue-se obter elevada eficiência espectral e baixo PAPR uma vez que se trata de uma técnica de modulação de portadora única. Em termos de operações, são realizadas adicionalmente, no transmissor, uma M-DFT e, no recetor, uma M-IDFT. Na figura A.3 estão representadas as modulações acima descritas.

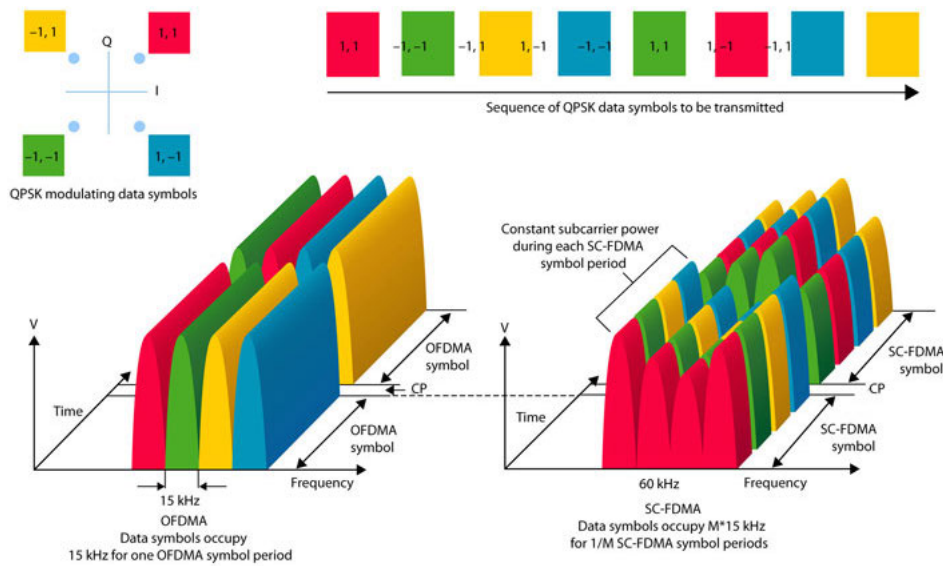


Figura A.3: Representação no tempo e frequência dos esquemas de modulação OFDMA e SC-FDMA, retirado de [67].

Todo este procedimento, constitui parte do processamento em banda base cujo resultado é obtido na forma de dados I/Q. As amostras I/Q, formadas pelas componentes em fase (0°) e em quadratura (90°) contêm a informação do sinal complexo, ou *waveforms*, em banda base, ou com frequência central nula. Dependendo da modulação utilizada, a constelação I/Q apresenta diversas formas, como se pode verificar na figura A.4.

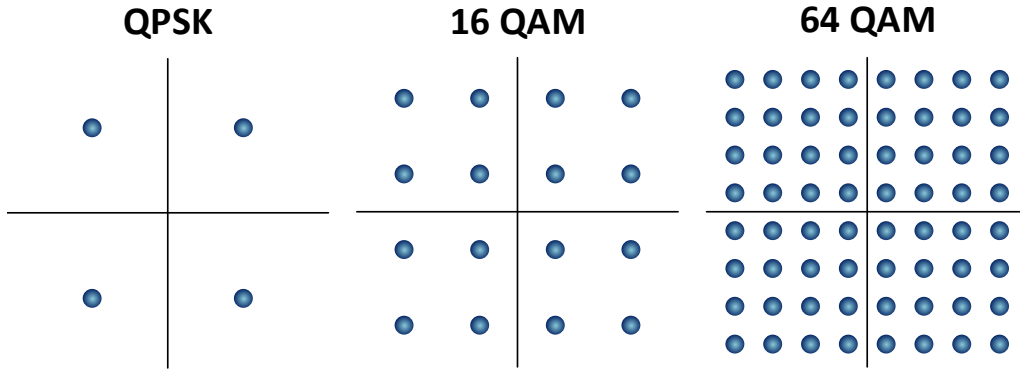


Figura A.4: Constelações das modulações usadas no LTE.

Nos transmissores rádio, para a conversão do sinal banda base complexo em sinal real, a componente em fase entra num misturador cujo oscilador local é descrito por um cosseno à frequência f_{OL} e a componente em quadratura entra noutro misturador no qual o oscilador local é uma função seno à mesma frequência (com desfasamento de 90°). A matemática por detrás da modulação I/Q permite concluir que a amplitude, frequência e fase da portadora sinusoidal modulada é função das amplitudes dos sinais I e Q. Com este método, não é necessário atuar diretamente na fase da onda portadora de RF. Para os recetores, a conversão do sinal real recebido em sinal banda base assenta no mesmo princípio. Aqui, para obter a componente I, o sinal recebido é multiplicado por um cosseno e, para obter a componente Q, o sinal recebido é multiplicado por um seno.

Apêndice B

Implementação em FPGA

Este apêndice pretende apresentar os conceitos básicos da tecnologia FPGA.

B.1 Conceito da Tecnologia

As FPGAs são dispositivos eletrônicos programáveis que consistem numa matriz de células *Configurable Logic Block* (CLB), numa rede de interconexão programável entre essas células e em blocos I/O. Para além desta estrutura básica, estes *chips* incluem ainda blocos com funções específicas tais como *Random Access Memory* (RAM), DSPs, *Arithmetic Logic Unit* (ALU) e circuitos de *clock*. Ao contrário dos ASICs, apresentam a possibilidade de reconfiguração da lógica interna. A figura B.1 apresenta esquematicamente a estrutura interna das FPGAs.

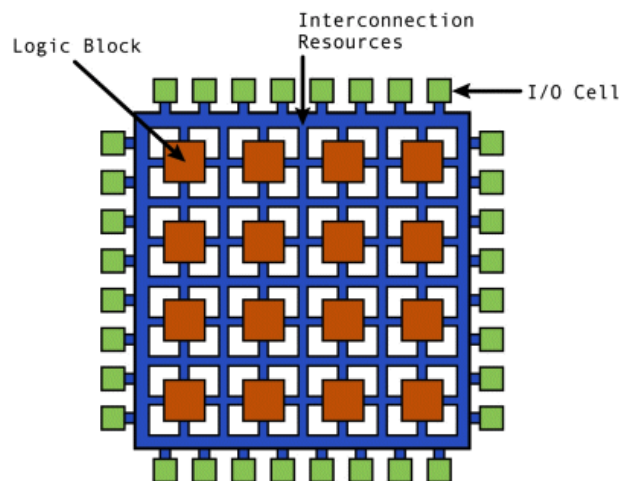


Figura B.1: Arquitetura genérica dos dispositivos FPGA, retirado de [68].

Cada unidade CLB, é responsável pelo estabelecimento de funções lógicas, com o recurso a blocos de memória chamados *Look-up Table* (LUT). Contêm ainda *flip-flops* para o armazenamento síncrono com o *clock* e *multiplexers* para encaminhar a lógica do bloco para elementos externos. A rede de interconexão programável permite a ligação entre os CLBs, e entre estes com os blocos de I/O. Esta rede inclui ainda linhas verticais e horizontais dedicadas ao relógio interno garantido baixo *skew* (desvios temporais de relógio). Os blocos configuráveis

de I/O, constituem a interface do *chip* para os sinais de entrada e saída. Consistem em *buffers* de entrada e *buffers* de saída com controlo *tri-state* [68].

Nas FPGAs atuais, outros elementos, como os DSP Slices, estão também disponíveis para aplicações mais específicas, como operações aritméticas ou a implementação de filtros. O uso destes blocos permite a poupança de LUT e recursos de *routing*. Para aplicações que envolvem fluxo de informação de alta *bit rate*, como é o caso de protocolos série CPRI e OBSAI, existem os *transceivers* MGT funcionando como SERDES de alto desempenho. A evolução das FPGAs está intrinsecamente ligada com o processo de fabrico de circuitos integrados, sendo que, atualmente, os fabricantes Xilinx e Altera dispõem de produtos com tecnologia de 16 a 20nm (Virtex-7 UltraScale) e 14nm (Stratix 10), respetivamente. São assim disponibilizadas FPGAs com menor consumo energético, maior número de células lógicas e DSP *slices* e ainda *transceivers* com maior velocidade. No caso da Xilinx, para a família UltraScale, as velocidades atuais dos *transceivers* situam-se em 32.75 Gbit/s [69].

B.2 Desenvolvimento em FPGA

O desenvolvimento em FPGAs é facilitado com ferramentas de programação desenvolvidas pelos fabricantes das mesmas. É possível o desenvolvimento de componentes de *hardware* em linguagem HDL como o *VHSIC Hardware Description Language* (VHDL) ou o Verilog mas também o uso de IP *cores*, isto é, blocos reutilizáveis e parametrizáveis, de complexidade considerável, que efetuam uma determinada função.

Nas plataformas atuais, é possível ainda a integração de *cores* que instanciam um *soft-processor* criando assim um sistema *embedded*, a par de um barramento para aceder aos periféricos (ou *pcores*). A Xilinx disponibiliza o MicroBlaze *soft-processor* e a Altera o Nios II. Existem ainda os *System-on-a-Chip* (SoC) que contêm no mesmo *chip* um *Hard Processador* e lógica programável para possível aceleração de processos por *hardware*, como por exemplo, o Zynq-7000 SoC da Xilinx e o Arria 10 SoC da Altera.

No caso da Xilinx, para desenvolvimento de aplicações para os seus dispositivos da série 7, o ambiente de desenvolvimento é o Vivado. Porém, as ferramentas ISE *Design Suite* e *Embedded Edition* que apresentam compatibilidade com as gamas anteriores de FPGA. O Xilinx Platform Studio (XPS) permite criar uma plataforma *embedded* a implementar na FPGA baseada no MicroBlaze que, através de um barramento, ou *bus*, PLB ou AXI, acede a um conjunto de periféricos. No projeto, é ainda possível instanciar componentes de *hardware* sem ligação ao barramento. O MicroBlaze assenta numa arquitetura de *Harvard* pelo que comporta memórias distintas para dados e instruções, acedidas pelo *Local Memory Bus* (LMB). Passada a fase desenvolvimento do *hardware*, a plataforma é exportada para o Xilinx Software Development Kit (SDK) no qual é permitido conceber uma aplicação em linguagem C ou C++. Com a exportação, é adicionada uma *Board Support Package* (BSP) que atribui a cada periférico os respetivos *device drivers*, sendo assim possível usar um conjunto de funções de alto nível (API) para configuração e interação com os elementos de *hardware*. A BSP traduz ainda parâmetros de configuração dos periféricos e os endereços de cada um tornando-os acessíveis a partir do MicroBlaze. O SDK produz um ficheiro ELF contendo o executável do *software* que pode ser combinado com o BIT obtido no desenvolvimento com o XPS. A figura B.2 resume o processo de elaboração de sistemas *embedded* com ferramentas da Xilinx.

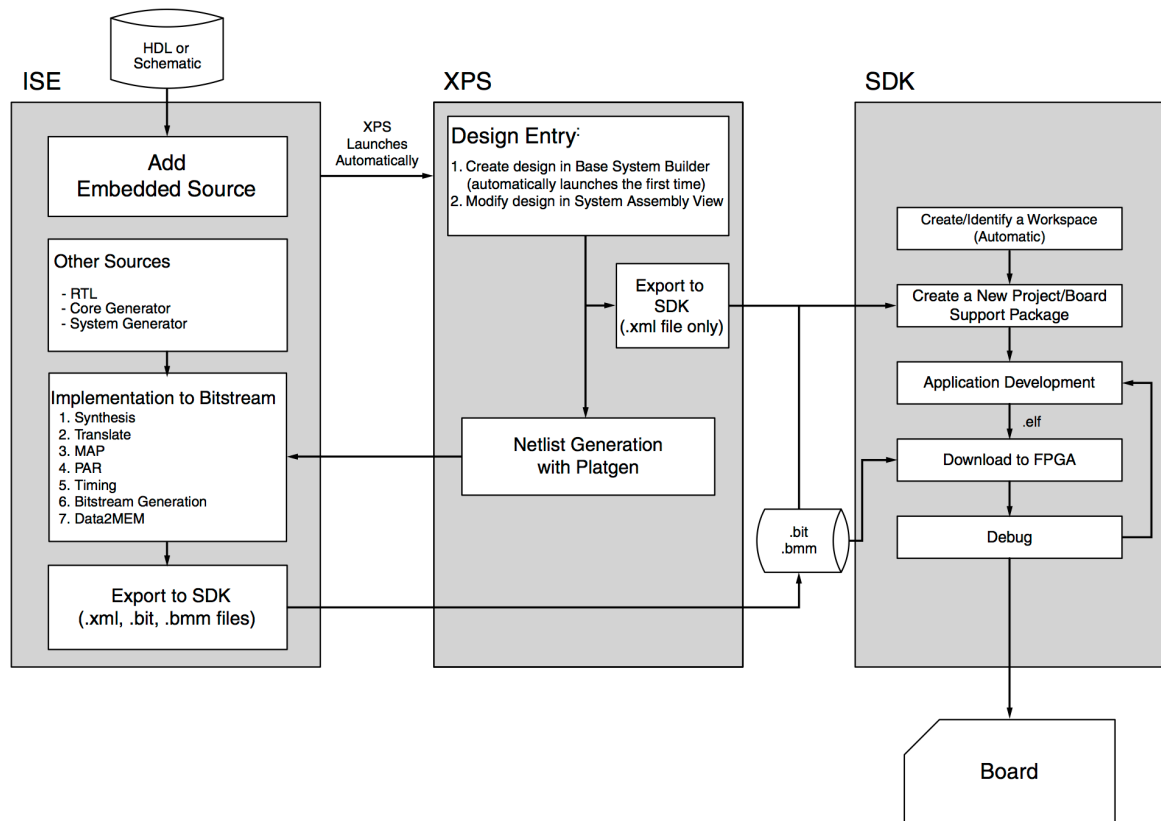


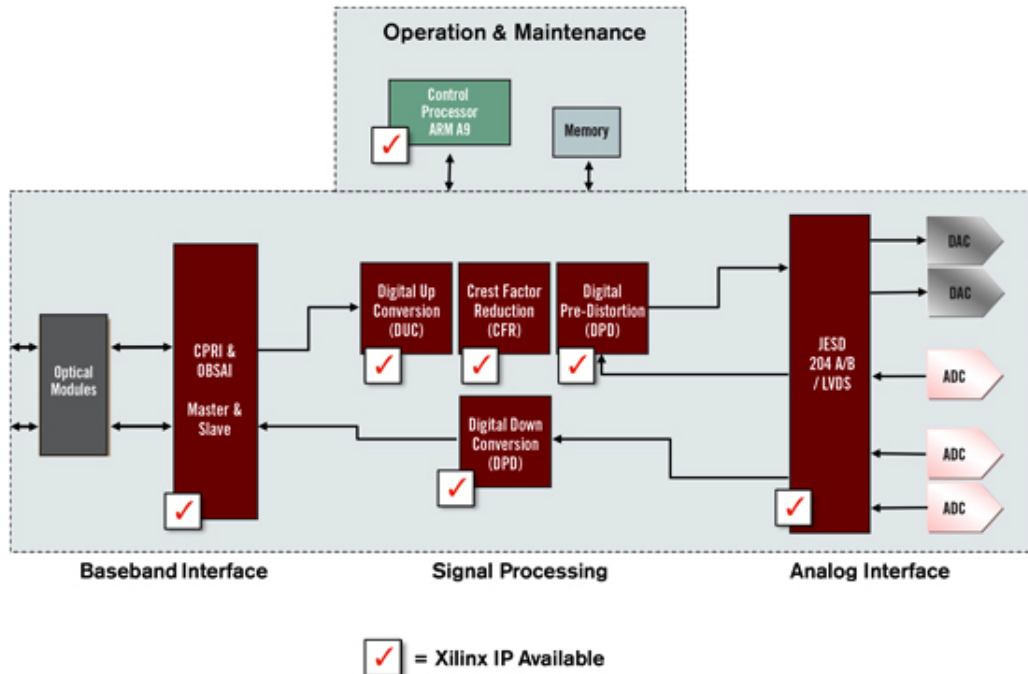
Figura B.2: Metodologia de desenvolvimento com as ferramentas Xilinx EDK, retirado de [70].

B.3 Capacidades e Aplicações

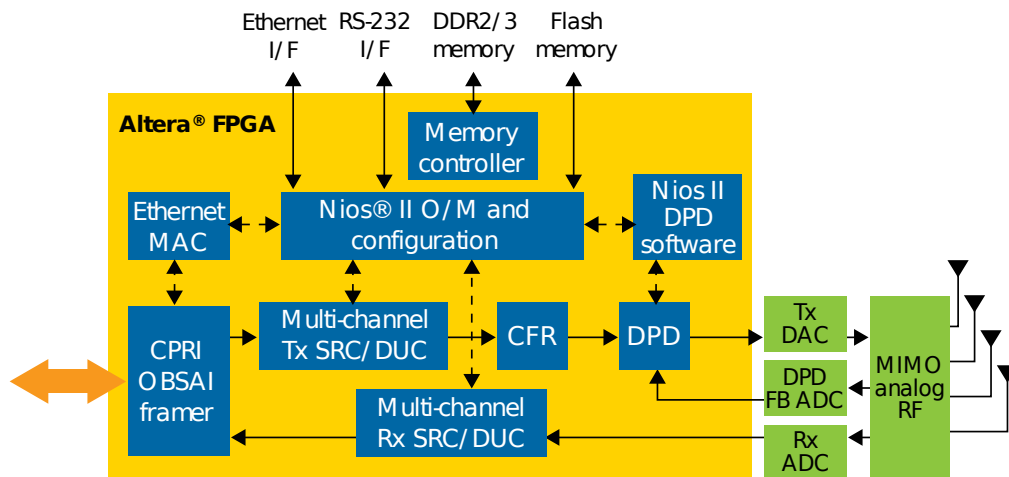
Os dispositivos FPGA, a par dos DSPs, constituem uma plataforma preferencial no projeto de sistemas sob paradigma SDR dada a possibilidade de reconfiguração, atualização por *software* e a aceitável relação custo eficiência que oferecem. O mercado encontra-se em crescimento, porém, são os setores da indústria e das telecomunicações os que mais empregam esta tecnologia nas suas plataformas.

No caso dos sistemas *wireless*, para a componente digital das RRHs, tanto a Xilinx como a Altera propõem soluções baseadas nos seus IP *cores* e dispositivos. Algumas destas soluções estão presentes na figura B.3.

De salientar o facto das arquiteturas apresentadas estarem conforme o paradigma SDR e C-RAN dada a relevante componente implementada no domínio digital. Para a elaboração de provas de conceito ou plataformas de teste, é possível usar *kits* de desenvolvimento com uma FPGA e componentes úteis em aplicações específicas como SDRAM ou *cage* para *transceivers* SFP/SFP+. Certos *kits* da Xilinx, através da interface FMC (*standard* VITA 57), possibilitam adicionar funcionalidades com uma placa de expansão como, por exemplo, os módulos ADC e DAC [73]. Frequentemente, são fornecidos *Reference Designs* para promover a exploração de uma determinada aplicação.



(a) Solução Xilinx para unidades de Rádio, retirado de [71].



(b) Solução Altera para desenho de RRH, retirado de [72].

Figura B.3: Soluções de IP *cores* e plataformas de desenvolvimento para a elaboração de RRH dos fabricantes de FPGAs.

Apêndice C

Hardware do Demonstrador

C.1 *Kit* de Desenvolvimento Xilinx ML605

Neste apêndice é apresentado o *kit* de desenvolvimento ML605 da Xilinx baseado numa FPGA Virtex-6 LX240T, *speedgrade* -1, e *package* FFG1156. Nestes *kits* foram implementadas as duas partes integrantes do demonstrador apresentado neste documento: o REC e o RE/RRH. A sua fotografia e a descrição dos seus componentes está presente na figura C.1.

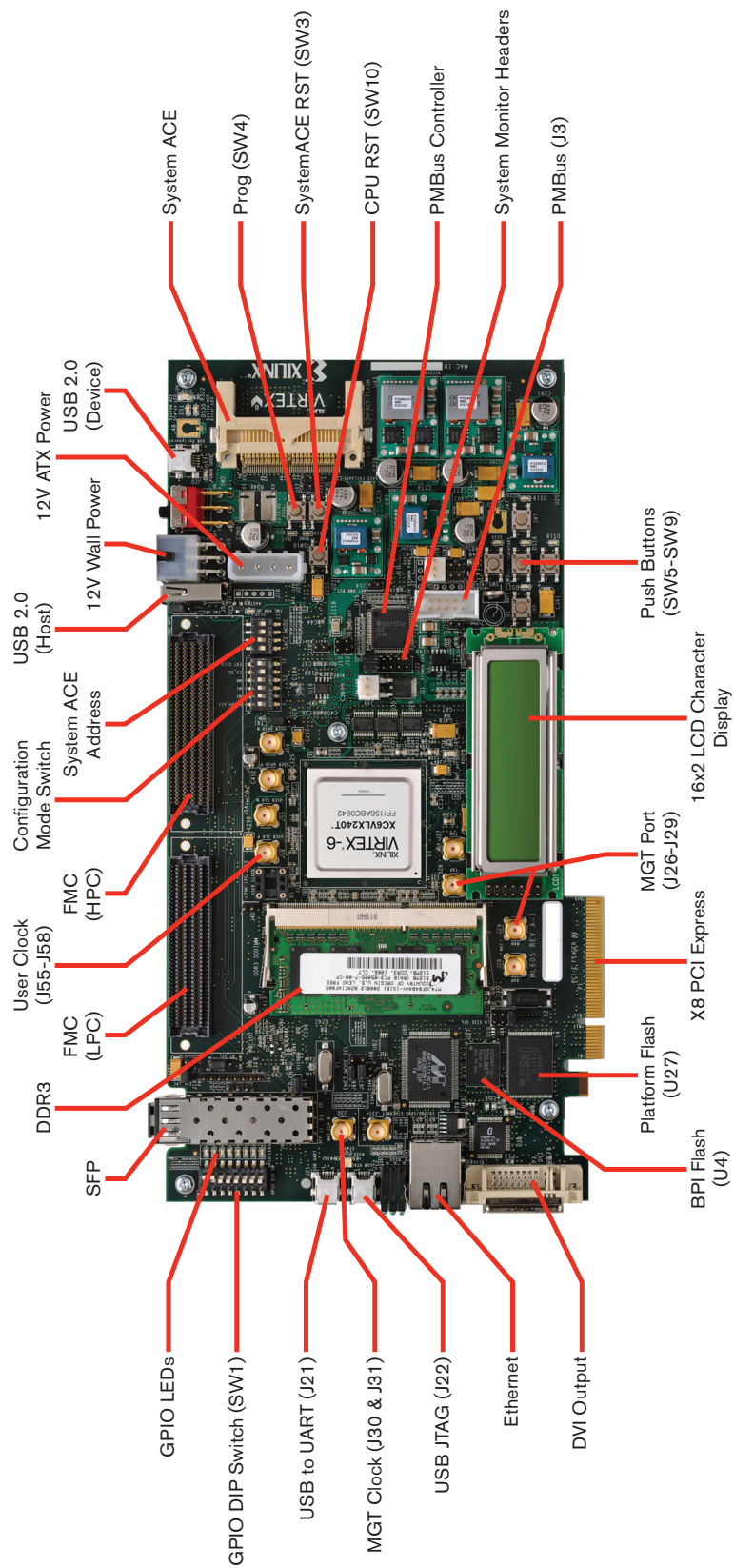


Figura C.1: Fotografia da placa de desenvolvimento Xilinx ML605, retirado de [74].

C.2 Placa de Expansão FMC AD-FMCOMMS1-EBZ

Neste apêndice, é apresentado o *front end* da Analog Devices usado para implementar o andar de RF do demonstrador desenvolvido. A sua fotografia está presente na figura C.2, enquanto que o seu esquema interno é apresentado na figura C.3.

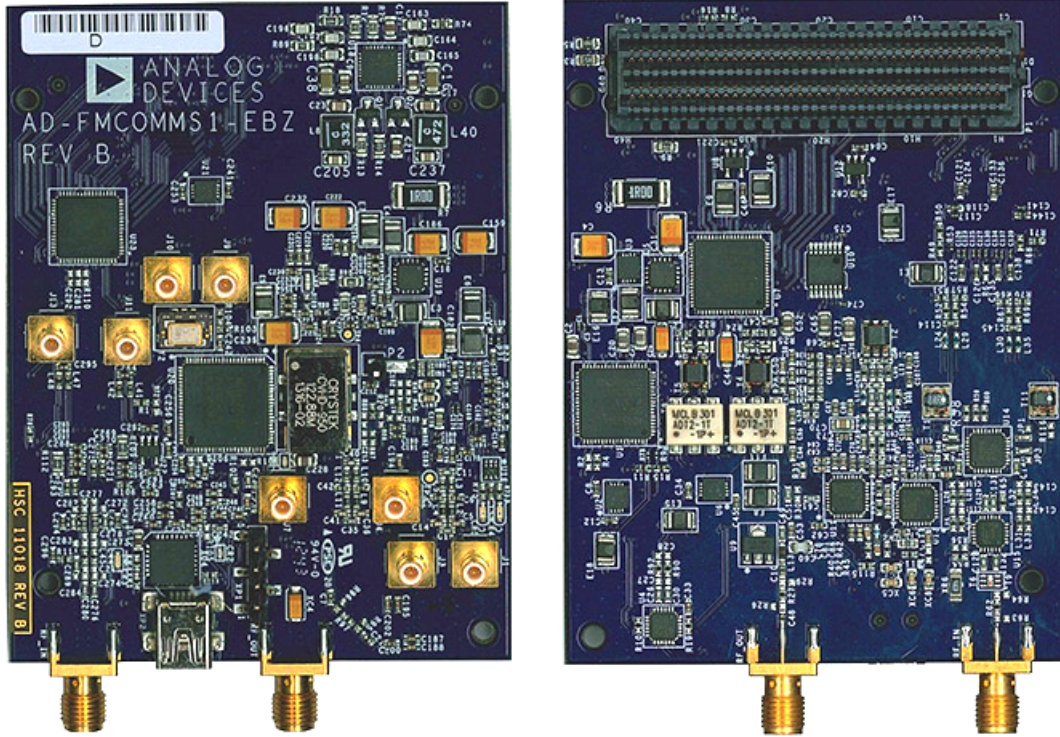


Figura C.2: Fotografia da placa de expansão AD-FMCOMMS1-EBZ, retirado de [59].

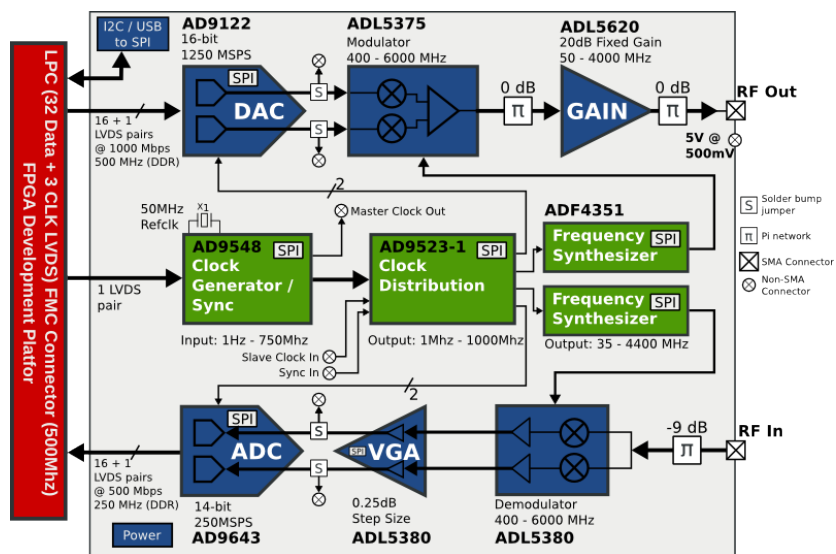


Figura C.3: Diagrama do *hardware* do AD-FMCOMMS1-EBZ, retirado de [59].

O AD9122 implementa uma DAC com resolução de 16 bits e operação até 1230 MSPS. Internamente, são incluídos filtros interpoladores para aumento da taxa de amostragem em 2x, 4x ou 8x. A eliminação das frequências imagem resultantes da conversão para o domínio analógico é conseguida com um filtro passa-baixo antes do modulador. Porém este filtro não vem populado possibilitando um funcionamento *wideband* do *front end*. O ADL5375 é um modulador I/Q que realiza a translação do sinal em banda base para uma dada frequência de saída, de 400MHz a 6GHz. O amplificador de saída, ADL5602, tem um ganho fixo de +20dB, até 4GHz e a potência de saída máxima de 20dBm.

No sentido de receção de sinal, depois de um atenuador, o sinal é desmodulado em dois sinais em quadratura no ADL5380. Seguidamente, os sinais são amplificados num VGA (AD8366) com ganho variável entre 4.5 e 20.35dB. Antes da digitalização, são removidas as harmónicas, num filtro de *anti-aliasing*. Tal como o filtro mencionado no parágrafo anterior, é também necessário proceder à população deste filtro, de acordo com o sinal *narrowband* que se pretende amostrar. Por fim, o sinal é convertido para o domínio digital na ADC AD9643 com resolução de 14 bits para I e Q com velocidade até 250 MSPS.

São ainda embutidos os geradores de relógios de referência para os diversos componentes. O AD9548 gera uma referência para o AD9523-1 que é composto por duas PLL, capazes de gerar os relógios para os restantes componentes.

C.3 *Kit* de Avaliação CDCE72010EVM

Esta secção pretende apresentar o *evaluation module* da Texas Instruments usado para implementar a PLL de remoção de *jitter* no RE/RRH do demonstrador. A sua fotografia está presente na figura C.4 e a aplicação gráfica para a configuração do seu modo de funcionamento é apresentada na figura C.5.

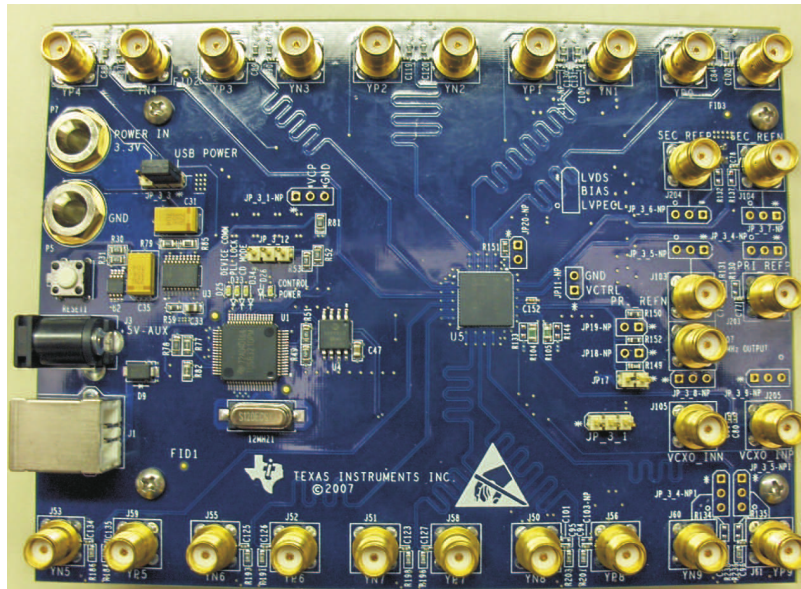


Figura C.4: Fotografia da placa de avaliação CDCE72010EVM, retirado de [52].

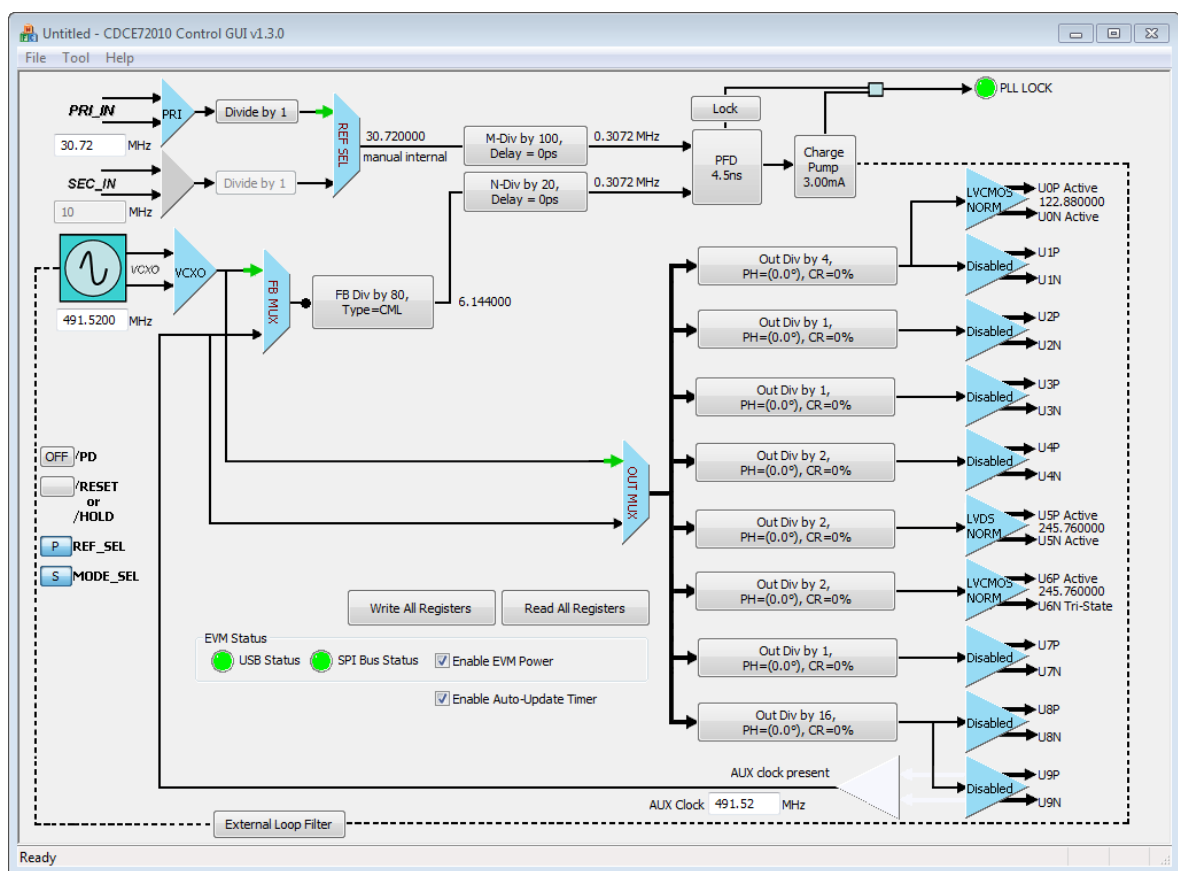


Figura C.5: Interface gráfica usada para configuração do modo de operação do CDCE72010EVM.

Apêndice D

Sistema Final

Este apêndice inclui, nas figuras D.1 e D.2, os diagramas de blocos completos da componente de *hardware* implementada nas FPGAs dos módulos REC e RE/RRH.

Na figura D.3, é possível verificar o *setup* laboratorial que serviu de base ao demonstrador aqui apresentado. A descrição dos itens assinalados na figura está presente na tabela D.1.

Item	Descrição
1	Placa ML605 na configuração de REC
2	Placa ML605 na configuração de RE/RRH
3	<i>Front end</i> AD-FMCOMMS1-EBZ em <i>loopback</i>
4	Cabo de fibra ótica
5	Ventoinha de arrefecimento
6	Relógio LVDS para o MGT proveniente do módulo SuperClock-2
7	Relógio recuperado para referência à PLL do CDCE72010EVM
8	Relógio LVDS para o MGT proveniente do módulo CDCE72010EVM
9	Ligação USB/JTAG para comunicação/programação a partir do PC

Tabela D.1: Legenda dos constituintes do *setup* laboratorial que serviu de base à implementação do demonstrador.

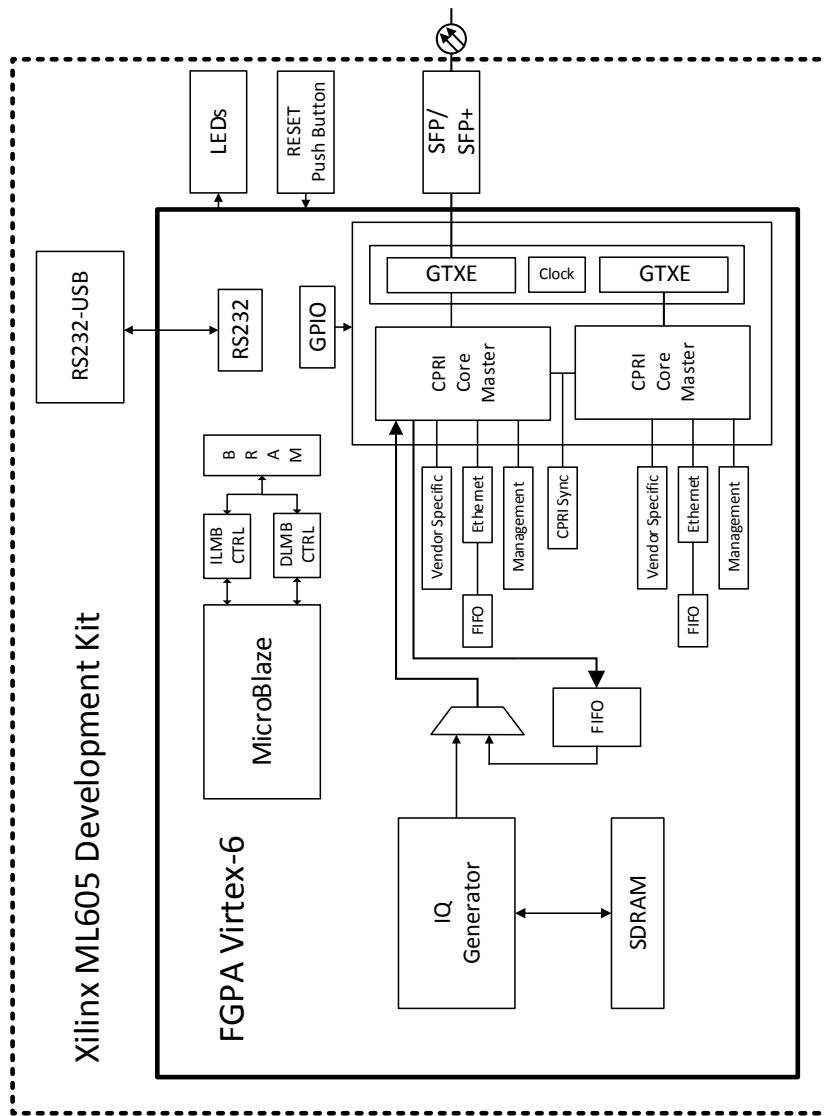


Figura D.1: Diagrama de blocos do sistema desenvolvido para o REC.

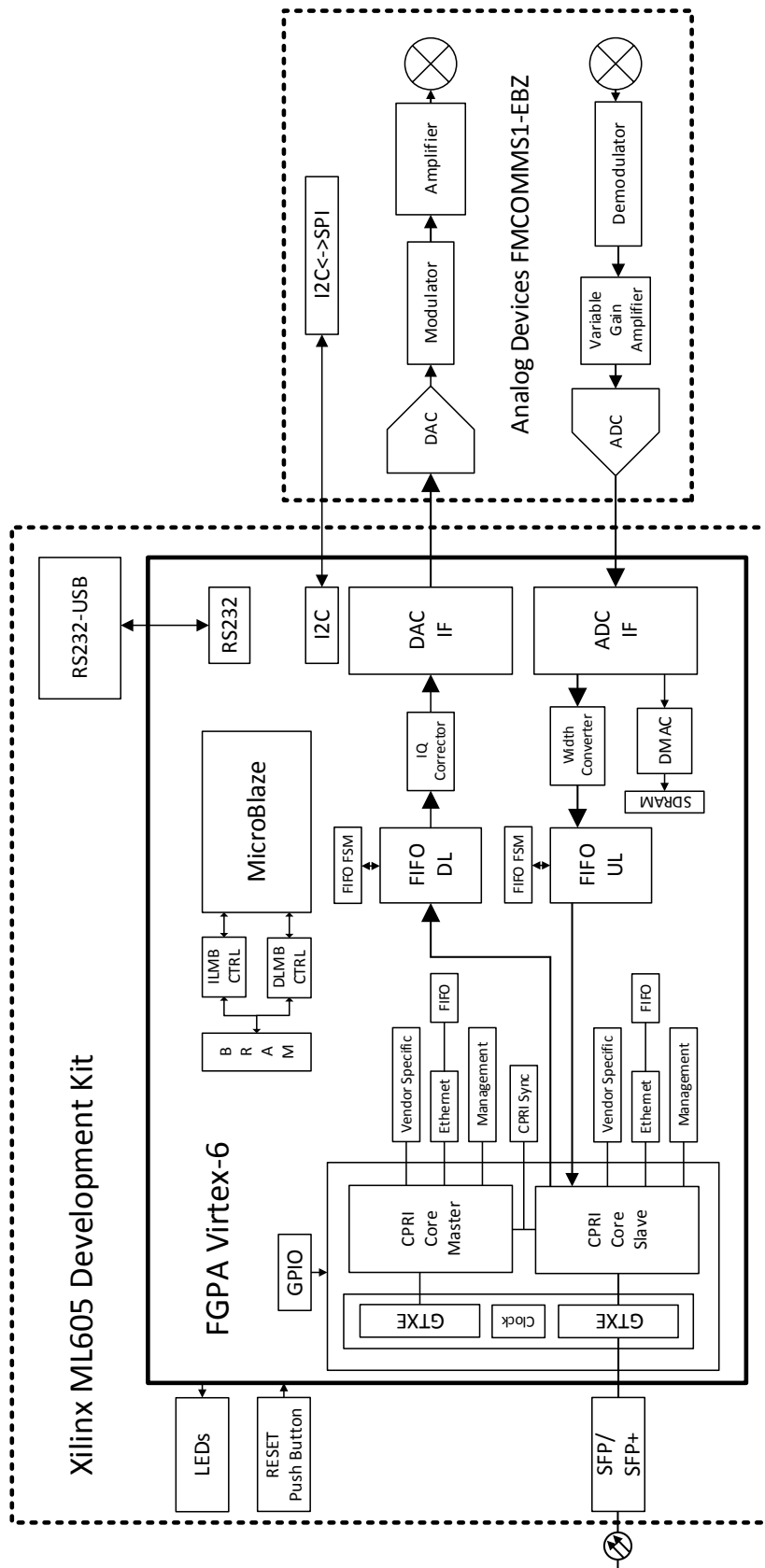


Figura D.2: Diagrama de blocos do sistema desenvolvido para o RE/RRH.

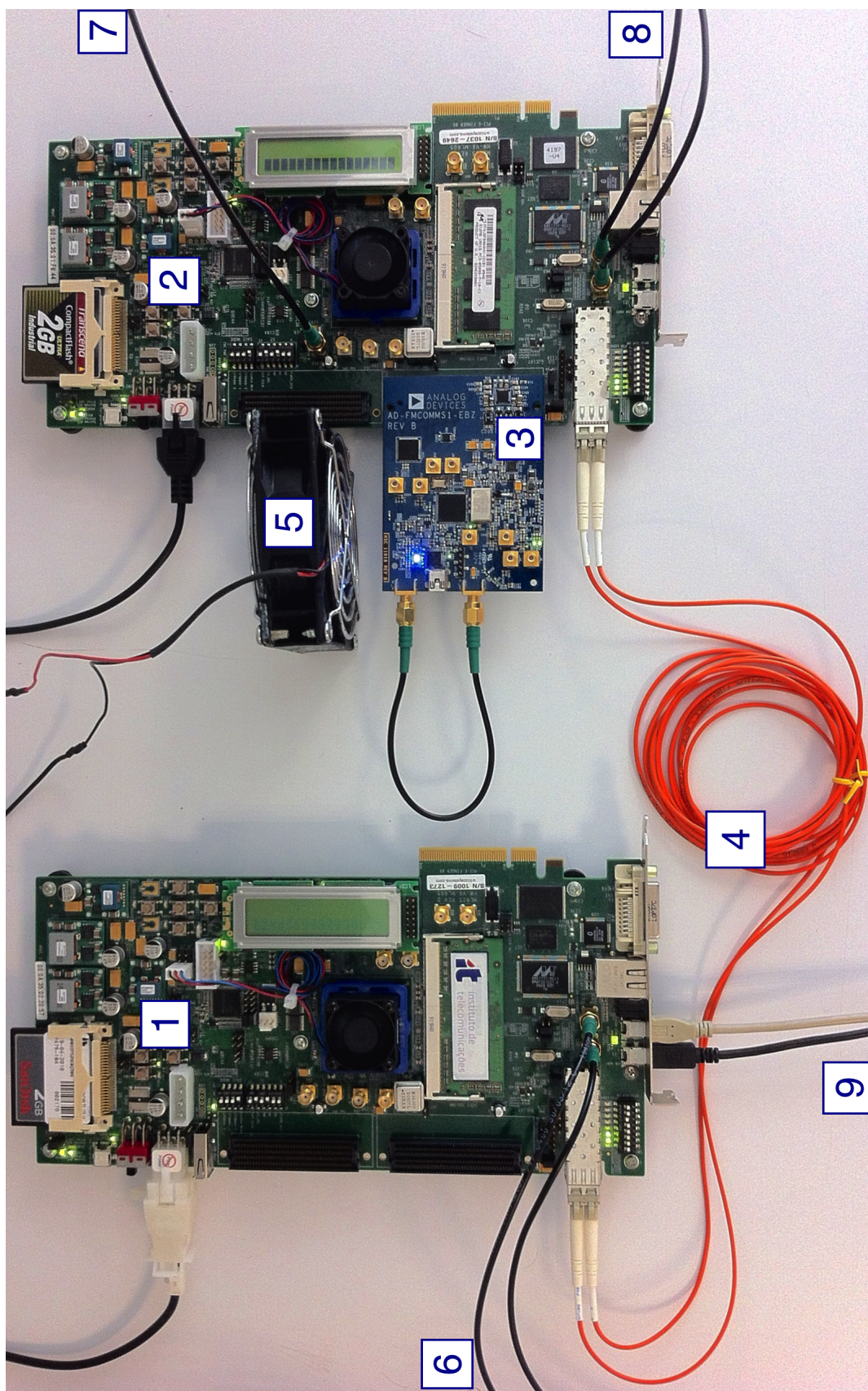


Figura D.3: Fotografia do *setup* laboratorial.

Bibliografia

- [1] Cisco. Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2013-2018, Fevereiro 2014. Acedido em 22 de Junho de 2014. URL: http://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/white_paper_c11-520862.html.
- [2] TEK Sapo. Consumo de dados móveis vai crescer 10 vezes até 2016, Maio 2012. Acedido em 22 de Junho de 2014. URL: http://tek.sapo.pt/noticias/telecomunicacoes/consumo_de_dados_moveis_vai_crescer_10_vezes_1243240.html.
- [3] JSDU. Cloud-RAN Deployment with CPRI Fronthaul Technology White Paper, Dezembro 2013. Acedido em 22 de Junho de 2014. URL: http://www.jdsu.com/ProductLiterature/cloudRAN_wp_tfs_nse_ae.pdf.
- [4] S. Moschos. A Novel Genetic Algorithmic Approach to Coordinate Base Station Transmissions in LTE Cellular Networks. Tese, Alexander Technological Educational Institute of Thessaloniki, Julho 2013.
- [5] GL Communications Inc. Communications Network Lab (2.5G, 3G, 4G, IP, TDM). Acedido em 22 de Junho de 2014. URL: <http://www.gl.com/telecom-test-solutions/communications-networking-2G-3G-4G-lab.html>.
- [6] Light Reading Webinar. *Cloud RAN: The impact of base station virtualization on low latency, high bandwidth front hauling*. Light Reading, Heavy Reading and Xilinx, Março 2014.
- [7] Vodafone Blog. Masts, micro, pico and femto cells: What makes our network work?, Abril 2012. Acedido em 22 de Junho de 2014. URL: <http://blog.vodafone.co.uk/2012/04/30/masts-micro-pico-and-femto-cells-what-makes-our-network-work/>.
- [8] Lou Frenzel (Electronic Design). Understanding The Small-Cell And HetNet Movement, Setembro 2013. Acedido em 22 de Junho de 2014. URL: <http://electronicdesign.com/engineering-essentials/understanding-small-cell-and-hetnet-movement>.
- [9] Small Cell Forum. All About Small Cells. Acedido em 22 de Junho de 2014. URL: <http://www.smallcellforum.org/aboutsmallcells-small-cells-small-cell-benefits>.
- [10] J. Wannstrom (masterltefaster.com) and K. Mallinson (WiseHarbor). HetNet's/Small Cells. Acedido em 22 de Junho de 2014. URL: <http://www.3gpp.org/hetnet>.

- [11] Cellular Heterogeneous Networks: Networks of Multiple Radio Access Technologies, 2012. Acedido em 22 de Junho de 2014. URL: <http://zoyok.com/blog/cellular-heterogeneous-networks-networks-multiple-radio-access-technologies>.
- [12] JDSU. Optimizing Small Cells and the Heterogeneous Network (HetNet), Março 2013. Acedido em 22 de Junho de 2014. URL: http://www.jdsu.com/ProductLiterature/smallcellhetnet_wp_nsd_tm_ae.pdf.
- [13] China Mobile Research Institute. C-RAN: The Road Towards Green RAN, Outubro 2011. Acedido em 22 de Junho de 2014. URL: http://labs.chinamobile.com/cran/wp-content/uploads/CRAN_white_paper_v2_5_EN.pdf.
- [14] NGMN Alliance. Suggestions On Potential Solutions To C-RAN, Janeiro 2013. Acedido em 22 de Junho de 2014. URL: http://www.ngmn.org/uploads/media/NGMN_CRAN_Suggestions_on_Potential_Solutions_to_CRAN.pdf.
- [15] Ian Poole. 4G LTE CoMP, Coordinated Multipoint Tutorial. Acedido em 22 de Junho de 2014. URL: <http://www.radio-electronics.com/info/cellulartelecomms/lte-long-term-evolution/4g-lte-advanced-comp-coordinated-multipoint.php>.
- [16] Joe Madden (Mobile Experts LLC). Cloud RAN or small cells?, Abril 2013. Acedido em 22 de Junho de 2014. URL: <http://www.fiercewireless.com/tech/story/madden-cloud-ran-or-small-cells/2013-04-30>.
- [17] Altera. OTN Transport of Baseband Radio Serial Protocols in C-RAN Architecture for Mobile Network Applications, Março 2014. Acedido em 22 de Junho de 2014. URL: <http://www.altera.com/literature/wp/wp-01215-cpri-obsai-otn.pdf>.
- [18] Tellumat. Application Examples Microwave Point to Point Links, 2014. Acedido em 22 de Junho de 2014. URL: <http://www.tellumat.com/communications/wireless-solutions/micro-p-to-p-links.htm>.
- [19] Harrison J. Son (Netmanias) and S.M. Shin (HFR). Fronthaul Size: Calculation of maximum distance between RRH (at cell site) and BBU (at CO), Abril 2014. Acedido em 22 de Junho de 2014. URL: <http://www.netmanias.com/en/?m=view&id=blog&no=6276>.
- [20] D. Samardzija et al. Compressed Transport of Baseband Signals in Radio Access Networks. *IEEE Trans. Wireless Commun.*, 11(9):3216–3225, September 2012.
- [21] K.F. Nieman and B.L. Evans. Time-domain compression of complex-baseband LTE Signals for Cloud Radio Access Networks. *Global Conference on Signal and Information Processing (GlobalSIP), 2013 IEEE*, pages 1198–1201, December 2013.
- [22] Cisco. Pluggable Optical Modules: Transceivers for the Cisco ONS Family. Acedido em 22 de Junho de 2014. URL: http://www.cisco.com/c/en/us/products/collateral/optical-networking/ons-15454-series-multiservice-provisioning-platforms/brochure_c02-452560.pdf.
- [23] ETSI. Open Radio Equipment Interface. Acedido em 22 de Junho de 2014. URL: <http://www.etsi.org/images/files/ETSITechnologyLeaflets/OpenRadioEquipmentInterface.pdf>.

- [24] C. Lanzani (MTI Mobile Radiocomp). MTI Radiocomp OBSAI CPRI Tutorial Primer, Outubro 2008. Acedido em 22 de Junho de 2014. URL: http://www.mti-mobile.com/wp-content/uploads/2012/10/OBSAI_CPRI_Tutorial_and_Primer_ver02.pdf.
- [25] Ericsson AB et al. Common Public Radio Interface (CPRI), Interface Specification v6.0, Agosto 2013. Acedido em 22 de Junho de 2014. URL: http://www.cpri.info/downloads/CPRI_v_6_0_2013-08-30.pdf.
- [26] T. Hentschel and G. Fettweis (Dresden University of Technology). The Digital Front-End - Bridge Between RF and Baseband-Processing. Acedido em 22 de Junho de 2014. URL: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.69.3283&rep=rep1&type=pdf>.
- [27] X. Dong (Altera Corporation). Designing remote radio heads (RRHs) on high-performance FPGAs, Julho 2011. Acedido em 22 de Junho de 2014. URL: http://www.eetimes.com/document.asp?doc_id=1278555.
- [28] A short history of software-defined radio (SDR) technology, Julho 2013. Acedido em 22 de Junho de 2014. URL: <http://nutaq.com/en/blog/short-history-software-defined-radio-sdr-technology>.
- [29] R. H. Hosking (Pentex Inc.). Software Defined Radio Handbook, Janeiro 2010. Acedido em 22 de Junho de 2014. URL: <http://www.pentek.com/pildocs/8363/techother/DGTLRCVRHBK43.PDF>.
- [30] S. Charanjit et. al. Efficient Implementation of Sample Rate Converter. (*IJACSA International Journal of Advanced Computer Science and Applications*, 1(6):35–41, December 2010).
- [31] Altera. Crest Factor Reduction (Application Note 396), Junho 2007. Acedido em 22 de Junho de 2014. URL: <http://www.altera.com/literature/an/an396.pdf>.
- [32] H. Gandhi D. Greenstreet J. Quintal (Texas Instruments). Digital Radio Front-End strategies provide game-changing benefits for small cell base stations, Maio 2013. Acedido em 22 de Junho de 2014. URL: <http://www.ti.com/lit/wp/spry236/spry236.pdf>.
- [33] D. Boppana C. F. Lanzani, G. Kardaras. Remote Radio Heads and the evolution towards 4G networks, Fevereiro 2009. Acedido em 22 de Junho de 2014. URL: <http://www.altera.com/literature/wp/wp-01096-rrh-4g.pdf>.
- [34] Y. Kumagai et al. High-Efficiency Power Amplifier for LTE/ W-CDMA System. *FUJITSU Sci. Tech. J.*, Vol. 48, No. 1, Janeiro 2012. Acedido em 22 de Junho de 2014. URL: <http://www.fujitsu.com/downloads/MAG/vol48-1/paper08.pdf>.
- [35] 3rd Generation Partnership Project. *TS 36.104: Evolved Universal Terrestrial Radio Access (E-UTRA); Base Station (BS) radio transmission and reception (Release 8)*, v8.2.0 edition, Maio 2005.
- [36] MTI Mobile. High-Power Remote Radio Heads. Acedido em 22 de Junho de 2014. URL: <http://www.mti-mobile.com/products/radio-solution/remote-radio-heads/>.

- [37] Understanding error vector magnitude, Outubro 2013. Acedido em 22 de Junho de 2014. URL: <http://electronicdesign.com/engineering-essentials/understanding-error-vector-magnitude>.
- [38] Darren McCarthy (Tektronix, Inc). Characterizing and Troubleshooting Digital RF Amplifier Systems, Abril 2008. Acedido em 22 de Junho de 2014. URL: http://low-powerdesign.com/article_mccarthy_101809.htm.
- [39] Agilent. Measuring ACLR Performance in LTE Transmitters, Application Note, Janeiro 2010. Acedido em 22 de Junho de 2014. URL: <http://cp.literature.agilent.com/litweb/pdf/5990-5089EN.pdf>.
- [40] Xilinx. CPRI Multi-Hop Reference Design (XAPP1132), Julho 2010.
- [41] Finisar. FTLX8571D3BCV RoHS-6 Compliant 1G/10G 850nm Multimode Datacom SFP+ Transceiver. Acedido em 22 de Junho de 2014. URL: <http://www.finisar.com/products/optical-modules/sfp-plus/FTLX8571D3BCV>.
- [42] Amphenol Fiber Optics EC124-21P1P-002. Acedido em 22 de Junho de 2014. URL: <http://pt.mouser.com/ProductDetail/Amphenol-Fiber-Optics/EC124-21P1P-002/?qs=sGAEpiMZZMvMYZxgHZVLzlx21K713q/7Ng4Nx%252bSX/1g=>.
- [43] Xilinx. *AXI Reference Guide*, Novembro 2012.
- [44] Xilinx. *LogiCORE IP AXI Ethernet (v3.00a) Product Specification*, Novembro 2011.
- [45] Xilinx. *LogiCORE IP AXI4-Stream FIFO (v3.00a) Product Guide*, Outubro 2012.
- [46] Xilinx. Virtex-6 GTX Transceiver - Delay Aligner Errata and Work-around, Janeiro 2011. Acedido em 22 de Junho de 2014. URL: <http://www.xilinx.com/support/answers/39430.html>.
- [47] Xilinx. *Virtex-6 FPGA LX, LXT, SXT, and HXT Production Errata*, Março 2011.
- [48] Xilinx. LogiCORE CPRI v3.2 - GTX Transceiver: Delay Aligner Errata and Work-around, Janeiro 2011. Acedido em 22 de Junho de 2014. URL: <http://www.xilinx.com/support/answers/39992.html>.
- [49] Ericsson AB et al. Common Public Radio Interface (CPRI), Interface Specification v4.1, Fevereiro 2009. Acedido em 22 de Junho de 2014. URL: http://www.cpri.info/downloads/CPRI_v_4_1_2009-02-18.pdf.
- [50] Xilinx. *LogiCORE IP CORE v3.2 User Guide*, Julho 2010.
- [51] Xilinx. *ML605 Hardware User Guide*, Outubro 2012.
- [52] Texas Instruments. *CDCE72010EVM:1.5-GHz Low-Phase Noise Clock Evaluation Board User Guide*, Maio 2008.
- [53] Texas Instruments. *CDCE72010: 10 Outputs Low Jitter Clock Synchronizer and Jitter Cleaner*, Junho 2012.
- [54] Xilinx. *HW-CLK-101-SCLK2 SuperClock-2 Module User Guide*, Setembro 2010.

- [55] Xilinx. *ML628 IBERT Getting Started Guide (ISE 13.4)*, Maio 2012.
- [56] Texas Instruments. Using the CDCE72010 as a Frequency Synthesizer, Maio 2008. Acedido em 22 de Junho de 2014. URL: <http://www.ti.com/lit/an/scaa090/scaa090.pdf>.
- [57] Texas Instruments. CDCE72010EVM Evaluation Module. Acedido em 22 de Junho de 2014. URL: <http://www.ti.com/tool/cdce72010evm>.
- [58] Xilinx. *Virtex-6 FPGA Clocking Resources*, Janeiro 2014.
- [59] Analog Devices. AD-FMCOMMS1-EBZ User Guide, Outubro 2013. Acedido em 22 de Junho de 2014. URL: <http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms1-ebz>.
- [60] Analog Devices. AD-FMCOMMS1-EBZ Functional Overview, Outubro 2013. Acedido em 22 de Junho de 2014. URL: http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms1-ebz/hardware/functional_overview.
- [61] Xilinx. *LogiCORE IP FIFO Generator v9.3*, Dezembro 2012.
- [62] Analog Devices. *AD9548 Quad/Octal Input Network Clock Generator/Synchronizer*, Rev. E edition, Dezembro 2013.
- [63] Analog Devices. AD9523-1 Evaluation Board User Guide UG-182, 2010. Acedido em 22 de Junho de 2014. URL: http://www.analog.com/static/imported-files/user_guides/UG-182.pdf.
- [64] Eric Newman (Analog Devices). Receiver Optimization Using Error Vector Magnitude Analysis. Acedido em 22 de Junho de 2014. URL: http://www.analog.com/static/imported-files/seminars_webcasts/55375383662062ChapterVII_OptimizingReceiverPerformanceThroughEVM_Analysis.pdf.
- [65] Avnet. Designing Wireless Communication Systems in Xilinx FPGAs, 2012. Acedido em 22 de Junho de 2014. URL: http://www.em.avnet.com/en-us/design/trainingandevents/Documents/X-FEST%202012%20PRESENTATIONS/xfest12_pdf_wireless_v1_1_april29.pdf.
- [66] Jim Zyren (Freescale Semiconductor Inc.). Overview of the 3GPP Long Term Evolution Physical Layer, Julho 2007. Acedido em 22 de Junho de 2014. URL: http://www.freescale.com/files/wireless_comm/doc/white_paper/3GPPEVOLUTIONWP.pdf.
- [67] P. Gammel J. Brewer and Mobile Dev Design) D. Poulin (SiGe Semiconductor Inc. Wireless Everywhere? Not Quite Yet..., Setembro 2008. Acedido em 22 de Junho de 2014. URL: <http://mobiledevdesign.com/site-files/mobiledevdesign.com/files/archive/mobiledevdesign.com/tutorials/0918DSsigesemi-Figure01.jpg>.
- [68] Robert Ziedman (Zeidman Technologies). All About FPGAs. EE Times, Março 2006. Acedido em 22 de Junho de 2014. URL: http://www.eetimes.com/document.asp?doc_id=1274496&.

- [69] Xilinx. Xilinx Transceiver Offerings. Acedido em 22 de Junho de 2014. URL: <http://www.xilinx.com/products/technology/high-speed-serial/>.
- [70] Xilinx. *Embedded System Tools Reference Manual*, Junho 2013.
- [71] Xilinx. Xilinx Solutions for Radio. Acedido em 22 de Junho de 2014. URL: <http://www.xilinx.com/applications/wireless-communications/radio/index.htm>.
- [72] Altera. Designing Remote Radio Head Applications with FPGAs, Janeiro 2012. Acedido em 22 de Junho de 2014. URL: <http://www.altera.com/literature/po/ss-radioheadapps.pdf>.
- [73] Xilinx. I/O Design Flexibility with the FPGA Mezzanine Card (FMC), Agosto 2009. Acedido em 22 de Junho de 2014. URL: http://www.xilinx.com/support/documentation/white_papers/wp315.pdf.
- [74] Xilinx. *ML605 Product Brief*, 2012.